

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月30日
Date of Application:

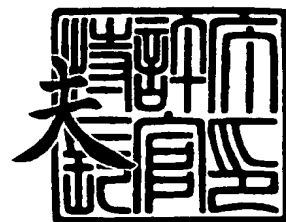
出願番号 特願2003-370078
Application Number:
[ST. 10/C]: [JP 2003-370078]

出願人 株式会社ルネサステクノロジ
Applicant(s): 株式会社日立超エル・エス・アイ・システムズ

2003年12月 4日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願
【整理番号】 R03003131
【提出日】 平成15年10月30日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/34
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 高沢 義生
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 山田 利夫
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 小澤 信一
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 金井 建男
【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ
 ロジ内
 【氏名】 加藤 実
【発明者】
 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・
 エス・アイ・システムズ内
 【氏名】 山内 宏道
【発明者】
 【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立超エル・
 エス・アイ・システムズ内
 【氏名】 荒木 俊裕
【特許出願人】
 【識別番号】 503121103
 【氏名又は名称】 株式会社ルネサステクノロジ
【特許出願人】
 【識別番号】 000233169
 【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ
【代理人】
 【識別番号】 100089071
 【弁理士】
 【氏名又は名称】 玉村 静世
 【電話番号】 03-5217-3960
【先の出願に基づく優先権主張】
 【出願番号】 特願2003- 16573
 【出願日】 平成15年 1月24日
【手数料の表示】
 【予納台帳番号】 011040
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0308734

【書類名】 特許請求の範囲**【請求項 1】**

アクティブ状態又はスタンバイ状態を採り得るメモリを有し、

前記メモリはメモリセルが接続されるビット線とソース線に対する電位形成回路を有し

、
前記電位形成回路は、前記アクティブ状態からスタンバイ状態への指示に応答して前記ビット線とソース線の電位を等しくし、前記スタンバイ状態からアクティブ状態への指示に応答して前記ビット線とソース線との間に電位差を形成することを特徴とする半導体集積回路。

【請求項 2】

前記電位形成回路は前記アクティブ状態からスタンバイ状態への指示に応答して前記ソース線の電位をビット線のプリチャージ電位に等しくすることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記電位形成回路は前記アクティブ状態からスタンバイ状態への指示に応答して前記ビット線の電位をソース線のディスチャージ電位に等しくすることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】

前記電位形成回路は、前記スタンバイ状態からアクティブ状態への指示に応答してソース線をディスチャージし、段階的にディスチャージ速度が速くなるようにその電流供給能力が変化されることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 5】

中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有し、アクティブ状態又はスタンバイ状態を採り得る半導体集積回路であって、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ビット線とソース線の電位を等しくし、前記アクティブ状態において前記ビット線とソース線に電位差を形成可能になることを特徴とする半導体集積回路。

【請求項 6】

前記スタンバイ状態において前記中央処理装置は命令実行を停止し、メモリはアクセス動作を停止することを特徴とする請求項 5 記載の半導体集積回路。

【請求項 7】

前記前記アクティブ状態からスタンバイ状態への指示と、スタンバイ状態からアクティブ状態への指示は外部制御信号によって与えられることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】

前記アクティブ状態からスタンバイ状態への指示は中央処理装置による所定の命令実行に基いて与えられ、前記スタンバイ状態からアクティブ状態への指示は割込みにより与えられることを特徴とする請求項 6 記載の半導体集積回路。

【請求項 9】

アクティブ状態又はスタンバイ状態を採り得るメモリと、前記メモリをアクセス可能な中央処理装置とを有する半導体集積回路であって、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ソース線をビット線のプリチャージ電位に等しくし、前記アクティブ状態においてソース線をディスチャージ電位にすることを特徴とする半導体集積回路。

【請求項 10】

アクティブ状態又はスタンバイ状態を採り得るメモリと、前記メモリをアクセス可能な中央処理装置とを有する半導体集積回路であって、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ビット線をソース線のディスチャージ電位に等しくし、前記アクティブ状態においてビット線をプリチャージ電位にすることを特徴とする半導体集積回路。

【請求項 11】

前記メモリのスタンバイ状態に並行して前記中央処理装置は命令実行を停止する状態にされ、前記スタンバイ状態と前記命令実行を停止する状態は割込み又は外部制御信号に基いて解除可能にされることを特徴とする請求項 9 又は 10 記載の半導体集積回路。

【請求項 12】

中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する半導体集積回路であって、

前記メモリは、第 1 回路が接続されたビット線と、第 2 回路が接続されたソース線と、前記ビット線とソース線に接続され選択端子がワード線に接続されたメモリセルとを有し、

前記半導体集積回路は前記メモリのアクセス動作と中央処理装置のデータ処理動作とを可能とする第 1 状態と、前記メモリのアクセス動作と中央処理装置のデータ処理動作とを不可能とする第 2 状態とを選択可能であり、

第 1 状態において前記第 1 回路はビット線をチャージし第 2 回路はソース線をディスチャージし、前記第 2 状態において前記第 1 回路はビット線をチャージし第 2 回路はソース線をチャージすることを特徴とする半導体集積回路。

【請求項 13】

中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する半導体集積回路であって、

前記メモリは、第 1 回路が接続されたビット線と、第 2 回路が接続されたソース線と、前記ビット線とソース線に接続され選択端子がワード線に接続されたメモリセルとを有し、

前記半導体集積回路は前記メモリのアクセス動作と中央処理装置のデータ処理動作とを可能とする第 1 状態と、前記メモリのアクセス動作と中央処理装置データ処理動作とを不可能とする第 2 状態とを選択可能であり、

第 1 状態において前記第 1 回路はビット線をチャージし第 2 回路はソース線をディスチャージし、前記第 2 状態において前記第 1 回路はビット線をディスチャージし第 2 回路はソース線をディスチャージすることを特徴とする半導体集積回路。

【請求項 14】

前記ディスチャージの到達レベルは回路の接地電位であり、前記ワード線の非選択レベルは回路の接地電位であることを特徴とする請求項 12 又は 13 記載の半導体集積回路。

【請求項 15】

前記第 1 状態において前記第 1 回路は読み出し対象にされるビット線のチャージ動作を停止することを特徴とする請求項 12 又は 13 記載の半導体集積回路。

【請求項 16】

カード基板に半導体集積回路と前記半導体集積回路に接続された外部インタフェース部とを搭載した IC カードであって、

前記半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有し、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記半導体集積回路の低消費電力状態において前記ビット線とソース線の電位を等しくすることを特徴とする IC カード。

【請求項 17】

前記メモリはマスク ROM であることを特徴とする請求項 16 記載の IC カード。

【請求項 18】

カード基板に半導体集積回路と外部接続電極とを有する IC カードであって、

前記半導体集積回路は、選択的にスタンバイ状態又はアクティブ状態にされ、中央処理装置及びメモリを有し、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記アクティブ状態において前記ビット線とソース線との間に所定の電位差を形成し、スタンバイ状態にお

いて前記ビット線とソース線との間の電位差は前記アクティブ状態における電位差よりも小さい電位差とされることを特徴とする IC カード。

【請求項 19】

前記中央処理装置は、アクティブ状態においてスリープ命令を実行して前記スタンバイ状態に遷移することを特徴とする請求項 18 記載の IC カード。

【請求項 20】

外部クロックから内部クロックを生成するクロックパルスジェネレータを有し、クロックパルスジェネレータはアクティブ状態において内部クロックを出力し、スタンバイ状態において内部クロックの出力を停止することを特徴とする請求項 19 記載の IC カード。

【請求項 21】

外部電源電圧から内部電源電圧を生成するレギュレータを有し、レギュレータはスタンバイ状態において内部電源電圧をアクティブ状態のときよりも低くすることを特徴とする請求項 20 記載の IC カード。

【請求項 22】

カード基板に半導体集積回路と外部接続電極とを有する IC カードであって、

前記半導体集積回路は、選択的にスタンバイ状態又はアクティブ状態にされ、中央処理装置及びメモリを有し、

前記メモリは、ビット線とソース線に接続されたメモリセルを有し、

前記半導体集積回路は外部からのリセット指示に応答して初期化处理を行ない、

初期化处理完了を外部に通知して、アクティブ状態に遷移し、

アクティブ状態において、メモリの前記ビット線とソース線との間に所定の電位差を形成し、外部からの指示に応答して中央処理装置によるデータ処理を行ない、

中央処理装置によるスリープ命令実行でスタンバイ状態に遷移し、

スタンバイ状態において前記メモリの前記ビット線とソース線との間の電位差をアクティブ状態における前記電位差よりも小さい電位差とし、

スタンバイ解除信号に応答してアクティブ状態に遷移し、その遷移過程では、ソース線デイスチャージにより前記ビット線とソース線との間に所定の電位差を形成し、そのデイスチャージ速度を段階的に速くすることを特徴とする IC カード。

【請求項 23】

ビット線とソース線に接続されたメモリセルと、ビット線とソース線に対する電位形成回路とを有し、選択的にスタンバイ状態又はアクティブ状態にされる半導体集積回路であって、

前記電位形成回路は、前記アクティブ状態において前記ビット線とソース線との間に所定の電位差を形成し、スタンバイ状態において前記メモリの前記ビット線とソース線との間の電位差をアクティブ状態における前記電位差よりも小さい電位差とすることを特徴とする半導体集積回路。

【請求項 24】

前記電位形成回路は、半導体集積回路がスタンバイ状態からアクティブ状態に遷移する過程において、ソース線デイスチャージにより前記ビット線とソース線との間に前記所定の電位差を形成し、そのデイスチャージ速度を段階的に速くすることを特徴とする請求項 23 記載の半導体集積回路。

【書類名】 明細書**【発明の名称】 半導体集積回路及び I C カード****【技術分野】****【0001】**

本発明は、メモリを備えた半導体集積回路、特にスタンバイ状態のような低消費電力状態におけるメモリセルのリーク電流を低減する技術に関し、例えば大容量の R O M を備えたマイクロコンピュータに適用して有効な技術に関する。

【背景技術】**【0002】**

D R A M のアクティブ時とスタンバイ時で周辺回路の基板バイアス電圧を相違させることにより、メモリ周辺回路におけるスタンバイ時のサブスレッショルドリークを抑制して消費電力を低減しつつアクセス遅延の増大を防止する技術がある（特許文献 1 参照）。

【0003】

また、メモリのアクティブ時におけるアクセス非選択に係るメモリセルのビット線とソース線をビット線電位とすることにより、アクセス非選択に係るメモリセルのサブスレッショルドリークを抑制する技術がある（特許文献 2 参照）。

【0004】

【特許文献 1】 特開平 8-83487 号公報

【0005】

【特許文献 2】 特開平 4-74395 号公報

【発明の開示】**【発明が解決しようとする課題】****【0006】**

本発明者はスタンバイ状態でメモリアレイに生ずるリーク電流について検討した。例えばマスク R O M はメモリセルとビット線のコンタクトの有無、或はメモリセルトランジスタの拡散層の有無等により情報が記憶されている。記憶情報の読み出し動作ではプリチャージされているビット線の電荷がメモリセルを介してソース線に引き抜かれるか否かを判定する。回路素子の微細化と動作電源の低電圧化によりゲート非選択の M O S トランジスタであってもドレイン・ソース間にサブスレッショルドリーク電流を生ずる。したがってスタンバイ状態であってもビット線プリチャージによりメモリセルのドレイン・ソース間に電位差が形成されていればサブスレッショルドリークによる無駄な電力消費を生ずる。マイクロコンピュータの用途によっては大半スタンバイ状態で処理待ち状態にされるものがある。送受信データや転送データに対するデータ処理を引き受けるような機器制御用途である。このような用途なども考慮すれば、オンチップの大容量メモリに対しスタンバイ状態でもサブスレッショルドリーク電流を抑制することの重要性が本発明者によって認識された。

【0007】

特許文献 1 はスタンバイ状態におけるサブスレッショルドリークの抑制という観点に立っているが、チップ面積の大部分を占めるメモリセルアレイではなく周辺回路に対するものであり、低消費電力化を企図する対象が相違する。しかも、特許文献 1 の技術は閾値電圧制御であり、基準電圧発生回路、基板バイアス発生回路、及び電源端子と基板バイアス端子とを選択的に接続するトランジスタなど、比較的多くの付帯回路を必要とする。

【0008】

特許文献 2 の技術は、メモリのアクティブ時におけるアクセス非選択に係るメモリセルのビット線とソース線をビット線電位とすることにより、アクティブ時における無駄な電力消費を低減できるが、アクセス速度が遅くなる虞がある。要するに、アクセス非選択から選択になるソース線に対して読出し動作の開始前にディスチャージしなければならず、当該ディスチャージ動作の完了を待つ分だけ読出し動作サイクルが長くなってしまう。

【0009】

本発明の目的は、回路を複雑化することなく、スタンバイ状態においてメモリで無駄に

消費される電力を低減できる半導体集積回路を提供することにある。

【0010】

本発明の別の目的は、メモリのデータ読出し動作速度を遅くすることなく、スタンバイ時にメモリで無駄に消費される電力を低減できる半導体集積回路を提供することにある。

【0011】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0013】

〔1〕本発明の第1の観点による半導体集積回路は、アクティブ状態又はスタンバイ状態を採り得るメモリを有し、前記メモリはメモリセルが接続されるビット線とソース線に対する電位形成回路(19, 20, 21, 22)を有する。前記電位形成回路は、前記アクティブ状態からスタンバイ状態への指示に応答して前記ビット線とソース線の電位を等しくし、前記スタンバイ状態からアクティブ状態への指示に応答して前記ビット線とソース線との間に電位差を形成する。

【0014】

上記手段によれば、スタンバイ状態において前記ビット線とソース線の電位が等しくされるから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを一切生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するような制御手法を採用しないからメモリのデータ読出し動作速度も遅くならない。

【0015】

第1の観点による本発明の具体的な形態として、前記電位形成回路は前記アクティブ状態からスタンバイ状態への指示に応答して前記ソース線の電位をビット線のプリチャージ電位に等しくする。ソース線はアクティブ状態においてディスチャージレベルにされていればよく、途中で電位を変更する必要もないから、スタンバイ時にソース線をビット線のプリチャージ電位に等しくする回路を設けてもアクティブ状態における動作に与える影響はほとんど無く、その回路構成は簡素で済む。換言すれば、従来回路に本発明を適用する場合に、ビット線周りに新たな回路を追加することを要しないため、ビット線周りに負荷変動を生ぜず、再設計の手間を少なくすることができる。

【0016】

第1の観点による本発明の具体的な別の形態として、前記電位形成回路は前記アクティブ状態からスタンバイ状態への指示に応答して前記ビット線の電位をソース線のディスチャージ電位に等しくする。スタンバイ状態においてソース線及びビット線がソース線のディスチャージ電位に等しくなれば、このとき、メモリセルの選択端子に接続するワード線もソース線ディスチャージ電位のような非選択レベルにされるのでゲート・ドレイン又はゲート・ソース間のリーク電流も生じない。但し、ビット線周りに、スタンバイ状態でビット線ディスチャージの回路構成が付加されるため、従来回路にこれを適用する場合には、ビット線周りの負荷変動を小さく抑える工夫や、動作タイミングマージンの見直しなどが必要になると予想され、スタンバイ時にソース線をビット線プリチャージレベルにチャージする構成に比べて再設計の手間が多くなると予想される。

【0017】

上記スタンバイ時にソース線をビット線のプリチャージ電位に等しくする電位形成回路を採用する場合、前記電位形成回路は、前記スタンバイ状態からアクティブ状態への指示に応答してソース線をディスチャージし、段階的にディスチャージ速度が速くなるようにその電流供給能力が変化されるようにするのが望ましい。本来ソース線にはアクティブ状態で選択されたメモリセルに流れる電流を引き込む能力があれば十分であるから、そのよ

うなソース線に一度に多くのメモリセルから電流が集中的に流れないようにするためである。比較的大きなノイズの発生を防止することができる。

【0018】

〔2〕本発明の第2の観点による半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有し、アクティブ状態又はスタンバイ状態を採り得る。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ビット線とソース線の電位を等しくし、前記アクティブ状態において前記ビット線とソース線に電位差を形成可能にされる。

【0019】

上記手段によれば、スタンバイ状態において前記ビット線とソース線の電位が等しくされるから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するような手法を採用しないからメモリのデータ読出し動作速度も遅くならない。

【0020】

第2の観点による本発明の具体的な形態として、前記スタンバイ状態において前記中央処理装置は命令実行を停止し、メモリはアクセス動作を停止する。

【0021】

第2の観点による本発明の具体的な別の形態として、前記前記アクティブ状態からスタンバイ状態への指示と、スタンバイ状態からアクティブ状態への指示は外部制御信号によって与えられる。また、前記アクティブ状態からスタンバイ状態への指示は中央処理装置による所定の命令実行に基いて与えられ、前記スタンバイ状態からアクティブ状態への指示は割込みにより与えられるようにしてもよい。

【0022】

〔3〕本発明の第3の観点による半導体集積回路は、アクティブ状態又はスタンバイ状態を採り得るメモリと、前記メモリをアクセス可能な中央処理装置とを有する。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ソース線をビット線のプリチャージ電位に等しくし、前記アクティブ状態においてソース線をデイスチャージ電位にする。スタンバイ状態において前記ビット線とソース線の電位がビット線プリチャージ電位に等しくされるから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを一切生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するような制御手法を採用しないからメモリのデータ読出し動作速度も遅くならない。ソース線はアクティブ状態においてデイスチャージレベルにされていればよく、途中で電位を変更する必要もないから、スタンバイ時にソース線をビット線のプリチャージ電位に等しくする回路を設けてもアクティブ状態における動作に与える影響はほとんど無く、その回路構成は簡素で済む。

【0023】

本発明の第4の観点による半導体集積回路は、アクティブ状態又はスタンバイ状態を採り得るメモリと、前記メモリをアクセス可能な中央処理装置とを有する。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記スタンバイ状態において前記ビット線をソース線のデイスチャージ電位に等しくし、前記アクティブ状態においてビット線をプリチャージ電位にする。スタンバイ状態において前記ビット線とソース線の電位がソース線デイスチャージ電位に等しくされるから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを一切生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するような制御手法を採用しないからメモリのデータ読出し動作速度も遅くならない。スタンバイ状態においてソース線及びビット線がソース線のデイスチャージ電位に等しくなれば、このとき、メモリセルの選択端子に接続するワード線もソース線デイスチャージ電位のような非選択レベルにされるのでゲート・ドレイン又はゲート

・ソース間のリーク電流も生じない。

【0024】

上記第3の観点及び第4の観点による本発明の具体的な形態として、前記メモリのスタンバイ状態に並行して前記中央処理装置は命令実行を停止する状態にされ、前記スタンバイ状態と前記命令実行を停止する状態は割込み又は外部制御信号に基いて解除可能にされる。

【0025】

〔4〕本発明の第5の観点による半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する。前記メモリは、第1回路が接続されたビット線と、第2回路が接続されたソース線と、前記ビット線とソース線に接続され選択端子がワード線に接続されたメモリセルとを有する。前記半導体集積回路は前記メモリのアクセス動作と中央処理装置のデータ処理動作とを可能とする第1状態と、前記メモリのアクセス動作と中央処理装置のデータ処理動作とを不可能とする第2状態とを選択可能である。第1状態において前記第1回路はビット線をチャージし第2回路はソース線をディスチャージし、前記第2状態において前記第1回路はビット線をチャージし第2回路はソース線をチャージする。

【0026】

本発明の第6の観点による半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する。前記メモリは、第1回路が接続されたビット線と、第2回路が接続されたソース線と、前記ビット線とソース線に接続され選択端子がワード線に接続されたメモリセルとを有する。前記半導体集積回路は前記メモリのアクセス動作と中央処理装置のデータ処理動作とを可能とする第1状態と、前記メモリのアクセス動作と中央処理装置データ処理動作とを不可能とする第2状態とを選択可能である。第1状態において前記第1回路はビット線をチャージし第2回路はソース線をディスチャージし、前記第2状態において前記第1回路はビット線をディスチャージし第2回路はソース線をディスチャージする。

【0027】

例えば前記第1状態は半導体集積回路のアクティブ状態、第2状態は半導体集積回路のスタンバイ状態である。

【0028】

上記第5の観点及び第6の観点による本発明の具体的な形態として、前記ディスチャージの到達レベルは回路の接地電位であり、前記ワード線の非選択レベルは回路の接地電位である。

【0029】

上記第5の観点及び第6の観点による本発明の具体的な形態として、前記第1状態において前記第1回路は読み出し対象にされるビット線のチャージ動作を停止する。

【0030】

〔5〕本発明のICカードは、カード基板に半導体集積回路と前記半導体集積回路に接続された外部インタフェース部とを搭載する。前記半導体集積回路は、中央処理装置と前記中央処理装置によりアクセス可能なメモリとを有する。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記半導体集積回路の低消費電力状態において前記ビット線とソース線の電位を等しくする。前記メモリは例えばマスクROMである。

【0031】

〔6〕本発明のさらに別の観点によるICカードは、カード基板に半導体集積回路と外部接続電極とを有し、前記半導体集積回路は、選択的にスタンバイ状態又はアクティブ状態にされ、中央処理装置及びメモリを有する。前記メモリは、ビット線とソース線に接続されたメモリセルを有し、前記アクティブ状態において前記ビット線とソース線との間に所定の電位差を形成し、スタンバイ状態において前記ビット線とソース線との間の電位差は前記アクティブ状態における電位差よりも小さい電位差とされる。前記所定の電位差は、例えばビット線に対する電源電圧レベルとソース線に対する回路の接地電圧レベルとに

よる電位差とされる。前記アクティブ状態における電位差よりも小さい電位差は、例えばビット線に対する電源電圧レベルとソース線に対する電源電圧レベルとによる電位差とされる。

【0032】

具体的な形態として、前記中央処理装置は、アクティブ状態においてスリープ命令を実行して前記スタンバイ状態に遷移する。スタンバイ状態における低消費電力を更に進めるには、外部クロックから内部クロックを生成するクロックパルスジェネレータを有し、クロックパルスジェネレータはアクティブ状態において内部クロックを出力し、スタンバイ状態において内部クロックの出力を停止する。また、外部電源電圧から内部電源電圧を生成するレギュレータを有し、レギュレータはスタンバイ状態において内部電源電圧をアクティブ状態のときよりも低くする。

【0033】

〔7〕本発明のさらに別の観点による IC カードは、カード基板に半導体集積回路と外部接続電極とを有し、前記半導体集積回路は、選択的にスタンバイ状態又はアクティブ状態にされ、中央処理装置及びメモリを有し、前記メモリは、ビット線とソース線に接続されたメモリセルを有する。前記半導体集積回路は外部からのリセット指示に応答して初期化処理を行ない、初期化処理完了を外部に通知してアクティブ状態に遷移し、アクティブ状態において、メモリの前記ビット線とソース線との間に所定の電位差を形成し外部からの指示に応答して中央処理装置によるデータ処理を行ない、中央処理装置によるスリープ命令実行でスタンバイ状態に遷移し、スタンバイ状態において前記メモリの前記ビット線とソース線との間の電位差をアクティブ状態における前記電位差よりも小さい電位差とし、スタンバイ解除信号に応答してアクティブ状態に遷移し、その遷移過程では、ソース線ディスチャージにより前記ビット線とソース線との間に所定の電位差を形成し、そのディスチャージ速度を段階的に速くする。

【0034】

〔8〕本発明のさらに別の観点による半導体集積回路は、ビット線とソース線に接続されたメモリセルと、ビット線とソース線に対する電位形成回路とを有し、選択的にスタンバイ状態又はアクティブ状態にされる。前記電位形成回路は、前記アクティブ状態において前記ビット線とソース線との間に所定の電位差を形成し、スタンバイ状態において前記メモリの前記ビット線とソース線との間の電位差をアクティブ状態における前記電位差よりも小さい電位差とする。具体的な形態として、前記電位形成回路は、半導体集積回路がスタンバイ状態からアクティブ状態に遷移する過程において、ソース線ディスチャージにより前記ビット線とソース線との間に前記所定の電位差を形成し、そのディスチャージ速度を段階的に速くする。

【発明の効果】

【0035】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0036】

すなわち、スタンバイ状態においてビット線とソース線の電位を等しくするから、メモリセルにはソース・ドレイン間のサブスレッショルドリークを一切生じない。アクティブ状態では前記ビット線とソース線との間に電位差が形成され、メモリセルの選択・非選択に応じて前記ビット線とソース線との間に電位差を形成するよう制御手法を採用しないからメモリのデータ読出し動作速度も遅くならない。

【0037】

スタンバイ時にソース線をビット線のプリチャージ電位に等しくする場合、スタンバイ状態からアクティブ状態への指示に응答してソース線をディスチャージし、段階的にディスチャージ速度が速くなるようにその電流供給能力を変化させれば、ソース線に一度に多くのメモリセルから電流が集中的に流れる事態を防止でき、比較的大きなノイズの発生を防止することができる。

【発明を実施するための最良の形態】**【0038】**

図1には本発明に係る半導体集積回路の一例としてマイクロコンピュータが示される。同図に示されるマイクロコンピュータ1は、例えばCMOS集積回路製造技術により単結晶シリコンのような1個の半導体基板（半導体チップ）に形成される。マイクロコンピュータ1は動作電源として電源電圧VCCと回路の接地電圧VSSを受ける。

【0039】

マイクロコンピュータ1は、中央処理装置（CPU）2、CPU2の動作プログラムなどを保有するリードオンリメモリ（ROM）3、前記CPU2のワーク領域などに利用されるランダムアクセスメモリ（RAM）4、外部バスなどに接続されるI/Oポート5、タイマ等の周辺回路6、バスコントローラ（SSC）7、クロック発生回路（CPG）8、及びシステムコントローラ9を有する。

【0040】

前記CPU2は例えばROM3からフェッチした命令を解読して命令実行を制御する命令制御部と、命令制御部の制御にしたがってオペランドアクセスや演算等を行う演算部から成る。前記バスコントローラ7はCPU2のアクセスアドレスにしたがってアクセスサイクル数や並列データビット数等のバス制御を行う。前記システムコントローラ9はリセット信号RES、スタンバイ信号STB、割込み信号IRQ等を入力して動作モードの制御や割込み制御を行う。クロックパルスジェネレータ8は外部クロック信号CLKを受けて内部クロック信号CKを生成する。マイクロコンピュータ91は内部クロック信号CKに同期動作される。マイクロコンピュータ91はリセット信号RESによってリセット動作が指示されると内部が初期化され、リセット解除によりCPU2はROM3のプログラムの先頭番地から命令実行を開始する。

【0041】

前記マイクロコンピュータ1は、スタンバイ状態とアクティブ状態を有する。アクティブ状態とはクロック信号CKに同期してCPU2がデータ処理可能であってROM3及びRAM4がCPU2などによりアクセス動作可能にされる状態である。特に制限されないが、マイクロコンピュータ1はリセット解除後はアクティブ状態にされる。前記スタンバイ状態は、特に制限されないが、外部制御信号であるスタンバイ信号STBによって指示される。或はCPU2がシステムコントローラ9のスタンバイフラグ（図示せず）をセットすることによって指示される。前記スタンバイ状態は前記CPU2及びROM3等の動作が停止される状態、要するに、CPU2がデータ処理不可能であってROM3等がCPU2によりアクセス動作不可能にされる状態である。スタンバイ状態は待機状態若しくは低消費電力状態とも称され、更に詳細には、例えば、CPG8のクロック発生動作停止、CPU2の動作停止（内部レジスタの内容は保持）、RAM4の記憶情報保持、周辺回路6の動作停止、ROM3の動作停止の状態とされる。マイクロコンピュータ1のスタンバイ状態（チップスタンバイ状態とも称する）はROM3の動作停止状態、即ち、ROM3のスタンバイ状態でもある。

【0042】

前記ROM3は前記CPU2の動作プログラム及びデータテーブルなどを保有する大容量を有し、マスクROMによって構成される。よって、マイクロコンピュータ1のスタンバイ状態における低消費電力を考えたとき、動作停止状態にされるROM3で無駄に消費される電力、例えばリーク電流による電力消費を減らすことが重要になる。この観点にしたがって前記ROM、特にROM3の動作停止状態について詳述する。スタンバイ信号STB或は図示を省略するスタンバイフラグによりマイクロコンピュータ1がスタンバイ状態にされるとき、システムコントローラ9はROM3の動作を停止し、制御信号stb1、stb2によりROM3の状態を制御する。ROM3の動作停止は、クロック信号CKの停止、ROMのモジュール非選択により実現される。制御信号stb1、stb2は後述するリーク電流抑制に利用される。ROM3のモジュール選択はCPU2の命令実行に基いて行なわれる。例えばバスコントローラ7がCPU2の出力アドレスをデコードして

ROM 3 にモジュール選択信号を出力する。マイクロコンピュータ 1 のスタンバイ状態において CPU 2 が動作を停止すれば ROM 3 はモジュール非選択状態にされる。

【0043】

図 2 には前記 ROM 3 の一例が示される。メモリアレイ 11 は情報記憶を行う多数のメモリセルを有する。特に制限されないが、メモリセル MC i, MC j は n チャンネル型 MOS トランジスタで構成され、ドレインとビット線のコンタクトの有無、即ちコンタクトホールによりドレインがビット線に接続されているか否かで記憶情報の論理値 “1”、“0” が決定される。特に図示はしないが、ソース・ドレインの拡散領域の有無によって情報記憶を行う記憶形式のメモリセルであってもよい。代表的に示されたメモリセル MC i はコンタクトを有し、代表的に示されたメモリセル MC j はコンタクトを有しない。メモリセル MC i, MC j のソースはソース線 SL に接続され、選択端子であるゲートはワード線 WL に接続される。ロウデコーダ 13 はロウアドレス信号 RADR をデコードしてワード線選択信号を形成する。ビット線 BL はカラムスイッチ回路 15 を介してグローバルビット線（共通データ線とも称する）GBL に接続される。カラムデコーダ 14 はカラムアドレス信号 CADR をデコードしてカラムスイッチ回路 15 によるビット線選択信号を生成する。カラムスイッチ回路 15 により選択されたビット線 BL はグローバルビット線 GBL に導通される。グローバルビット線 GBL にはセンスアンプ 16 が設けられ、グローバルビット線 GBL に出力される記憶情報を検出して増幅する。センスアンプ 16 の出力は出力ラッチ 17 にラッチされ、外部に出力される。外部出力データは DAT として図示される。タイミングコントローラ 18 はクロック信号 CK 及び ROM 3 のモジュール選択信号 BS を入力し内部タイミング信号を生成する。モジュール選択信号 BS は、特に制限されないが、バスコントローラ 7 が出力する。電位形成回路 19 はビット線 BL 及びソース線 SL に対するプリチャージ及びディスチャージを行う回路である。

【0044】

図 3 にはメモリアレイ 11 と電位形成回路 19 の詳細として、グローバルビット線 GBL 1 ビット分の構成を部分的に例示する。

【0045】

同図では代表的に示されたビット線 BL 1, BL 2 及びソース線 SL が X 方向に敷設され、Y 方向に代表的に示されたワード線 WL 1, WL 2 が設けられる。ビット線 BL 1 には代表的に示されたメモリセル MC i のドレインが接続され、そのソースが対応するソース線 SL に接続される。代表的に示されたメモリセル MC j のドレインはビット線 BL 2 には接続されず、そのソースが対応するソース線 SL に接続される。ビット線 BL 1 はカラムスイッチ CSW 1 を介してグローバルビット線 GBL に、ビット線 BL 2 はカラムスイッチ CSW 2 を介してグローバルビット線 GBL に導通可能にされる。代表的に示されたビット線選択信号 YS 1 はカラムスイッチ CSW 1 をスイッチ制御し、代表的に示されたビット線選択信号 YS 2 はカラムスイッチ CSW 2 をスイッチ制御する。ビット線選択信号 YS 1, YS 2 は、カラムアドレス信号で指定されるビット線に対応するものが論理値 “1” にされる。前記カラムスイッチ CSW 1, CSW 2 は n チャンネル型 MOS トランジスタで構成されるが、これを CMOS トランスファゲートで構成しても差し支えない。代表的に示されたカラムスイッチ CSW 1, CSW 2 は前記カラムスイッチ回路 15 を構成する。

【0046】

前記電位形成回路 19 は、プリチャージ回路 20 とチャージ・ディスチャージ回路 21 によって構成される。プリチャージ回路 20 は BL 1, BL 2 で代表されるビット線毎に設けられ、p チャンネル型のプリチャージ MOS トランジスタ MP 1 を有し、ビット線選択信号 YS 1 (YS 2) によってスイッチ制御される前記プリチャージ MOS トランジスタ MP 1 により選択的にビット線 BL 1 (BL 2) を電源電圧 VCC にプリチャージ可能にされる。これにより、プリチャージ回路 20 はビット線選択信号によるビット線非選択状態（ビット線選択信号 YS 1, YS 2 = 0 (ローレベル)）のときにプリチャージを行い、ビット線選択信号によるビット線選択状態（ビット線選択信号 YS 1, YS 2 = 1 (

ハイレベル)) ではプリチャージ動作を停止する。

【0047】

前記チャージ・デイスチャージ回路21は、直列2段のpチャンネル型MOSトランジスタMP2、MP3と並列2段のnチャンネル型MOSトランジスタMN1、MN2によって構成され、内部スタンバイ信号s t b 1、s t b 2の2入力に対してソース線SL、GSLをNOR（ノア）論理で駆動する。前記チャージ・デイスチャージ回路21は、特に制限されないが8本毎にソース線が共通接続されるソース線GSL毎に1個配置される。

【0048】

前記内部スタンバイ信号s t b 1、s t b 2は、マイクロコンピュータ1のスタンバイ状態においてローレベルにされ、マイクロコンピュータ1がスタンバイ状態からアクティブ状態に変化されるとき、最初に内部スタンバイ信号s t b 1がハイレベルにされ、その後内部スタンバイ信号s t b 2がハイレベルにされる。

【0049】

内部スタンバイ信号s t b 1、s t b 2をゲートに受ける前記MOSトランジスタMP2、NP3はマイクロコンピュータ1がスタンバイ状態に移移するとき、ソース線を電源電圧VCCにチャージする。これにより、マイクロコンピュータ1のスタンバイ状態においてBL1、BL2で代表される全てのビット線とSL、GSLで代表される全てのソース線が電源電圧VCCにされる。これによりメモリセルMCiのソース・ドレイン間に電位差が形成されず、その間のサブスレッショルドリークを生じない。

【0050】

内部スタンバイ信号s t b 1をゲートに受ける前記MOSトランジスタMN1は相対的にゲート長が長くオン抵抗の比較的大きなトランジスタとされる。これに対し、内部スタンバイ信号s t b 2をゲートに受ける前記MOSトランジスタMN2はMOSトランジスタMN1よりもゲート長の短いその他大多数のnチャンネル型MOSトランジスタと同じトランジスタとされる。これにより、マイクロコンピュータ1がアクティブ状態に移移するとき、ソース線のデイスチャージ速度は最初遅く、後から速くされる。これにより、一度に全てのソース線から接地電圧配線に電流が流れ込まないようにされ、接地電圧配線のマイグレーションによる断線や大きな電源ノイズの発生を抑止することができる。

【0051】

図4にはROMの動作タイミングが例示される。図4においてマイクロコンピュータ1のスタンバイ状態（チップスタンバイ状態）はその確定状態からスタンバイ解除遷移状態を経てアクティブ状態に移移する。マイクロコンピュータ1のスタンバイ状態においてクロック信号CKは停止され、ROM3に対するモジュール選択信号BSは非選択状態にされ、内部スタンバイ信号s t b 1、s t b 2はローレベルにされている。これにより、ROM3の動作は停止され、ビット線BL1、BL2とソース線SLは共に電源電圧VCCにチャージされ、ROM3のメモリアレイ11においてメモリセルのドレイン・ソース間のサブスレッショルドリークの発生が阻止されている。

【0052】

時刻t1にスタンバイ信号STBによりマイクロコンピュータ1のスタンバイ状態に対する解除が指示される。これによりCPG8の動作は再開され、ROM3に供給される内部スタンバイ信号s t b 1がハイレベルに変化され、その後例えばクロック信号CKの数サイクル遅れで内部スタンバイ信号s t b 2がハイレベルに変化される。これにより、ソース線SLの電位は時刻t1～t2までは比較的緩やかな速度でデイスチャージされ、その後の時刻t2以降は比較的速くデイスチャージされる。チップスタンバイ解除遷移状態を過ぎると、ソース線SLは接地電位VSS、ビット線BL1、BL2は電源電圧VCCのチャージ状態を採る。この後、モジュール選択信号BSによりROM3のモジュール選択が行われてアドレス信号が与えられると、例えばワード線WL1が選択され、ビット線選択信号YS1によりビット線BL1が選択され、選択されたビット線BL1とワード線WL1に接続するメモリセルがドレインコンタクトを持つ場合にはビット線BL1から当

該メモリセルトランジスタを介してチャージ電流が接地電圧 V_{SS} に引き込まれる。次に、ワード線 W_L2 が選択され、ビット線選択信号 Y_S2 によりビット線 B_L2 が選択され、選択されたビット線 B_L2 とワード線 W_L2 に接続するメモリセルがドレインコンタクトを持たない場合にはビット線 B_L2 のプリチャージ電荷が維持される。

【0053】

マイクロコンピュータ 1 のスタンバイ状態においてビット線とソース線は共に電源電圧 V_{CC} にチャージされ、ROM 3 のメモリアレイ 11 においてメモリセルのドレイン・ソース間のサブスレッショルドリークの発生が阻止されている。これに対し、アクティブ状態では非選択のビット線とソース線の間には電源電圧 V_{CC} に相当する電位差が形成されているのでスタンバイ状態に比べてサブスレッショルドリーク電流が多くなる。但し、受信データや転送データに対するデータ処理を引き受けるような機器制御用途等、マイクロコンピュータの用途によっては大半スタンバイ状態で処理待ち状態にされるものがあり、このような用途なども考慮すれば、オンチップの大容量メモリである ROM 3 に対し、スタンバイ状態でもサブスレッショルドリーク電流を抑制することがシステム全体としての低消費電力を実現する上で重要であり、電力消費の低減効果は極めて大きい。

【0054】

図 5 にはチップスタンバイ状態においてメモリセルで生ずるリーク電流が例示される。ビット線 B_L とソース線 S_L が共に電源電圧 V_{CC} にされるのでソース・ドレイン間のサブスレッショルドリークは生じない。ゲート・ドレイン間と、ゲート・ソース間のゲートリーク電流 (I_g) と、基板へのリーク電流 (I_{sb}) は僅かながら生ずるが、ソース・ドレイン間のサブスレッショルドリークに比べれば極めて少ない。

【0055】

図 6 には本発明の比較例に係るメモリアレイの部分回路を例示する。ソース線 S_L は常時回路の接地電圧 V_{SS} に接続しており、スタンバイ状態においてもビット線 B_L とソース線 S_L には電源電圧 V_{CC} の電位差が形成され、メモリアレイではスタンバイ状態及びアクティブ状態の双方でサブスレッショルドリーク電流を生ずる。図 7 には図 6 のメモリアレイにおけるリーク電流が示される。ドレイン・ソース間のサブスレッショルドリーク電流 I_{ds} を生じている。但し、アクセス動作速度は図 3 とほぼ同じである。図 8 には図 6 の比較例における動作タイミングが例示される。メモリアレイではスタンバイ状態及びアクティブ状態の双方で常時 I_{ds} 等のリーク電流を生じ、低消費電力の実現は不可能である。

【0056】

図 9 には本発明の別の比較例に係るメモリアレイの部分回路を例示する。ソース線 S_L はマイクロコンピュータのアクティブ状態において対応するビット線がビット線選択信号で選択されるのに並行して個別的にディスチャージされる。従って、対応するビット線の選択以外にソース線はビット線と同じレベルにプリチャージされているから、メモリアレイにおけるリーク電流は常時少ない。図 5 と同様にドレイン・ソース間のサブスレッショルドリークを殆ど生じない。しかしながら、ソース線のディスチャージを待ってワード線を選択して読み出し動作を行うから、図 10 の動作タイミングで例示されるように、読み出し動作サイクルが図 3、図 6 の例に比べて長くなる。要するに ROM の高速アクセスが不可能である。

【0057】

図 11 には図 3 の本発明の場合と図 6 の比較例の場合のスタンバイ時リーク電流削減効果が例示的に示される。本発明の場合にはスタンバイ時のリーク電流が大幅に削減されている。

【0058】

図 12 には図 3 の本発明の場合と図 9 の比較例の場合の動作速度の違いが例示的に示される。本発明の場合にはアクティブ時にビット線及びソース線電位を可変しないので図 9 の場合に比べて高速アクセス動作可能になる。

【0059】

図13にはソース線のチャージ・デイスチャージ回路の別の例が示される。同図に示されるチャージ・デイスチャージ回路21Aは内部スタンバイ信号s t b 1で制御されるCMOSインバータにより構成される。pチャンネル型MOSトランジスタMP4は比較的長いゲート長を有し、比較的大きなオン抵抗を有する。nチャンネル型MOSトランジスタMN3は比較的大きなゲート幅を有し、比較的小さなオン抵抗を有する。このチャージ・デイスチャージ回路21Aによれば、図14のタイミングチャートに例示されるように、スタンバイ解除遷移状態の期間を短縮できる。但し、デイスチャージのとき回路の接地電圧VSSに過電流が流れるので、それに耐え得る接地電位配線とノイズ対策を特別に施すことが必要である。動作上アクティブ状態からスタンバイ状態への遷移には高速性を要しないからソース線SLに対して低速チャージを行っても充分であり、その分、電源系に対してはチャージ時の過電流対策を要しない。

【0060】

図15にはメモリアレイにおける電位形成回路の別の例が示される。同図において前記電位形成回路19は、チャージ・デイスチャージ回路22によって構成される。チャージ・デイスチャージ回路22はBL1, BL2で代表されるビット線毎に配置される。ソース線SLは夫々回路の接地電圧VSSに常時接続される。図示はしないが複数本のビット線単位でチャージ・デイスチャージ回路22を設けるようにしてもよい。

【0061】

チャージ・デイスチャージ回路22はnチャンネル型MOSトランジスタMN4、pチャンネル型MOSトランジスタMP5及び2入力論理和（オア）ゲートORによって構成される。前記MOSトランジスタMN4は内部スタンバイ信号s t b 1の反転信号によってスイッチ制御され、スタンバイ状態においてビット線を回路の接地電圧VSSにデイスチャージする。アクティブ状態において前記MOSトランジスタMN4はオフ状態にされる。論理和ゲートORは対応するビット線選択信号と内部スタンバイ信号s t b 1の反転信号を入力し、アクティブ状態（s t b 1 = 1）において対応するビット線選択信号が非選択レベル（ローレベル）のとき対応するMOSトランジスタMP5をオン動作させてビット線のプリチャージを行い、ビット線選択信号がビット線選択レベル（ハイレベル）のときはMOSトランジスタMP5をカットオフにしてプリチャージ動作を停止させる。スタンバイ状態（s t b 1 = 0）において論理和ゲートORは常にMOSトランジスタMP5をカットオフとし、ビット線プリチャージを抑制する。

【0062】

したがって、チャージ・デイスチャージ回路22はスタンバイ状態においてBL1, BL2で代表される全てのビット線をソース線SLと同じ接地電圧にデイスチャージする。これによりメモセルMCiのソース・ドレイン間に電位差が形成されず、その間のサブスレッショルドリークを生じない。特にスタンバイ状態においてワード線は回路の接地電圧VSSに等しい非選択レベルにされる。よってドレイン・ゲート間のリーク電流の発生も阻止することができる。

【0063】

図3と図15を比べると、図15の場合にはビット線毎に論理和ゲートが必要であるから、電位形成回路19の論理規模が大きくなる。プリチャージ回路220とチャージ・デイスチャージ回路21で構成される図3の電位形成回路19は全体として小さな論理規模で実現することが可能である。この点について更に詳述する。図3の構成ではソース線はアクティブ状態においてデイスチャージレベルにされていればよく、途中で電位を変更する必要もないから、スタンバイ時にソース線をビット線のプリチャージ電位に等しくする回路を設けてもアクティブ状態における動作に与える影響はほとんど無く、その回路構成は簡素で済む。換言すれば、従来回路に本発明を適用する場合に、ビット線周りに新たな回路を追加することを要しないため、ビット線周りに負荷変動を生ぜず、再設計の手間を少なくすることができる。一方、図15の場合には、ビット線周りに、スタンバイ状態でビット線デイスチャージの回路構成が付加されるため、従来回路にこれを適用する場合には、ビット線周りの負荷変動を小さく抑える工夫や、動作タイミングマージンの見直しな

どが必要になると予想され、スタンバイ時にソース線をビット線プリチャージレベルにチャージする構成に比べて再設計の手間が多くなると予想される。要するに、従回路に本発明を適用するときに設計変更の手間と追加の論理規模を最小限にするには図3の構成が優れる。

【0064】

図16にはマイクロコンピュータの別の例が示される。同図に示されるマイクロコンピュータ31は、特に制限されないが、所謂ICカードマイコンと称されるICカード用のマイクロコンピュータである。同図に示されるマイクロコンピュータ31は、例えばCMOS半導体集積回路製造技術によって単結晶シリコンなどの1個の半導体基板若しくは半導体チップに形成される。

【0065】

マイクロコンピュータ31は、CPU32、ワークRAMとしてのRAM（ランダム・アクセス・メモリ）34、タイマ35、EEPROM（エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）36、コプロセッサユニット37、クロック生成回路（CPG）39、マスクROM（リード・オンリ・メモリ）40、システムコントローラ41、入出力ポート（I/Oポート）42、データバス43、及びアドレスバス44を有する。

【0066】

前記マスクROM40はCPU32の動作プログラム（暗号化プログラム、復号プログラム、インタフェース制御プログラム等）及びデータを格納するのに利用され、図2で説明した構成を備える。前記RAM34はCPU32のワーク領域又はデータの一時記憶領域とされ、例えばSRAM（スタティック・ランダム・アクセス・メモリ）若しくはDRAM（ダイナミック・ランダム・アクセス・メモリ）から成る。前記CPU32は、マスクROM40から命令をフェッチし、フェッチした命令をデコードし、デコード結果に基づいてオペランドフェッチやデータ演算を行う。コプロセッサユニット37はCPU32の制御に従ってRSAや楕円曲線暗号演算における剰余演算処理などを行う。I/Oポート42は2ビットの入出力端子I/O1、I/O2を有し、データの入出力と外部割り込み信号の入力に兼用される。I/Oポート42はデータバス43に結合され、データバス43には前記CPU32、RAM34、タイマ35、EEPROM36、及びコプロセッサユニット37等が接続される。マイクロコンピュータ31においてCPU32がバスマスタモジュールとされ、前記RAM34、タイマ35、EEPROM36、マスクROM40及びコプロセッサユニット37に接続されるアドレスバス44にアドレス信号を出力可能にされる。システムコントローラ41はマイクロコンピュータ31の動作モードの制御及び割り込み制御を行い、更に暗号鍵の生成に利用する乱数発生ロジックを有する。RESはマイクロコンピュータ31に対するリセット信号である。マイクロコンピュータ31はリセット信号RESによってリセット動作が指示されると、内部が初期化され、CPU32はマスクROM40のプログラムの先頭番地から命令実行を開始する。クロック生成回路39は外部クロック信号CLKを受けて内部クロック信号CKを生成する。マイクロコンピュータ31は内部クロック信号CKに同期動作される。

【0067】

前記EEPROM36は、電氣的に消去処理及び書込み処理が可能にされ、個人を特定するために用いられるID情報などのデータを格納する領域として用いられる。EEPROM36に代えてフラッシュメモリ或は高誘電体メモリなどを採用してもよい。

【0068】

システムコントローラ41の制御論理としてスタンバイ制御ロジックが例示される。マイクロコンピュータ31のスタンバイ状態はCPU32がレジスタ操作命令等の所定の命令を実行してスタンバイフラグFLGをセットすることによって指示され、スタンバイフラグFLGをクリアすることによってスタンバイ状態の解除が指示される。スタンバイフラグFLGは代表的に示されたロジック回路LOGの他に、所定のタイミングでCPG39やCPU32などにも供給され、CPG39のクロック発生動作の停止やCPU32の

命令実行停止の制御の利用される。

【0069】

前記ロジック回路 LOG はクロック信号 CK に同期して内部スタンバイ信号 $s t b 1$ 、 $s t b 2$ を生成する。内部スタンバイ信号 $s t b 1$ 、 $s t b 2$ は図 4 のタイミングで示されるように変化され、前述と同様に、マスク ROM 40 のメモリアレイ 11 におけるサブスレッショルドリーク電流低減の制御に利用される。

【0070】

図 17 には IC カード用マイクロコンピュータ 31 を用いた接触インタフェース形式の IC カード 50 の外観が例示される。合成樹脂から成るカード基板 51 には、特に制限されないが、電極パターンによって形成されたインタフェース端子 52 が表面に露出され、前記図 16 のマイクロコンピュータ 31 が埋め込まれている。前記インタフェース端子 52 の電極パターンにはマイクロコンピュータ 31 の対応する外部端子が結合される。

【0071】

図 18 には本発明に係る IC カードの別の例が示される。同図に示される IC カード 60 は所謂 SIM (subscriber identity module) カードと称されるカードデバイスとされる。SIM カードは GSM 移動体通信システム (GSM 携帯電話機) における加入者の承認・管理に関する情報や課金情報と共に通信プロトコルのための通信制御プログラムを格納し、携帯電話機に着脱可能に装着されて、移動体通信に利用される。

【0072】

IC カード 60 はカード基板 61 に IC カード用マイクロコンピュータ (IC カードマイコンとも記す) 62、レギュレータ 63 及び外部接続電極としての外部端子 T1 ~ T5 を有する。

【0073】

IC カードマイコン 62 は、CPU 65、システムコントローラ (CTRL) 66、ROM 67、RAM 68、EEPROM 69、I/O ポート 70、PLL (phase locked loop) からなるクロックパルスジェネレータ 71、及び内部バス 72 によって構成され、図 16 と同様の回路構成を有し、夫々についての詳細な説明は省略する。CPG 71 には外部端子 T1 からクロック CLK が供給され、内部クロック $c l k i$ を出力する。リセット信号 RES は外部端子 T2 から CTRL 66 に入力される。I/O ポート 70 は外部端子 T3 を介して外部とシリアル入出力を行なう。外部端子 T4 には電源電圧 VCC が印加され、外部端子 T5 には回路の接地電圧が印加される。レギュレータ 63 は電源電圧 VCC から内部電圧 $v c c i$ を生成する。IC カードマイコン 61 は内部電圧 $v c c i$ を動作電源とする。

【0074】

CTRL 66 は前述のスタンバイ信号 $s t b 1$ 、 $s t b 2$ を出力する。スタンバイ信号 $s t b 1$ 、 $s t b 2$ はスタンバイ状態においてローレベルにされ、スタンバイ状態からアクティブ状態に変化するときは前述の通り $s t b 1$ が先にハイレベルにされ、遅延して $s t b 2$ はハイレベルにされる。スタンバイ信号 $s t b 1$ 、 $s t b 2$ による ROM 67 の制御は前述と同じであり、スタンバイ状態ではビット線とソース線を電源電圧レベルにさせ、アクティブ状態ではビット線を電源電圧に、ソース線を回路の接地電圧にさせる。スタンバイ状態からあきいて部状態に遷移するときは前述と同様にソース線のデイスチャージ速度は先の遅く、後に速くなるように、2 段階で切り換え制御される。ビット線及びソース線のチャージ・デイスチャージ経路における不所望な抵抗成分などの影響を勘案すれば、図 3 等の構成によるアクティブ状態におけるビット線とソース線の電位差は電源電圧レベルが最大となり、スタンバイ状態におけるビット線とソース線の電位差はゼロが最小となる、として把握してもよい。さらに、スタンバイ状態におけるビット線とソース線の電位差を、アクティブ状態におけるビット線とソース線の電位差よりも小さくする、という観点で図 3 に代表されるような電位形成回路を構成することが可能である。例えばスタンバイ状態におけるビット線とソース線の電位差を電源電圧 VCC の半分とすることも可能である。これによってもスタンバイ時の低消費電力は可能である。こすることにより、ス

スタンバイ状態からアクティブ状態への遷移におけるソース線ディスチャージ動作を速く確定することができる。

【0075】

前記CPU65は、アクティブ状態においてスリープ命令を実行して前記スタンバイ状態に遷移する。スタンバイ状態における低消費電力を更に進めるために、CPG71はスタンバイ信号stb1を入力し、アクティブ状態において内部クロックclk iを出力し、スタンバイ状態において内部クロックclk iの出力を停止する。また、レギュレータ63はスタンバイ信号stb1を入力し、スタンバイ状態において内部電源電圧をアクティブ状態のときよりも低くする。

【0076】

図19にはICカードの電源投入からアクティブ状態を経てスタンバイ状態に至る動作フローが示される。ICカード60のカードホストはICカード60の電源電圧VCCを投入し(S1)、リセット信号RESをハイレベルに変化させる(S2)。これによってICカードマイコン61は初期化処理を行ない(S3)、初期化処理の完了後(S4)、I/Oポートからリセット応答信号(ATR)をカードホストに返す(S5)。これによってICカードマイコン62はアクティブ状態に遷移される。アクティブ状態においてCPU65はカードホストからの要求に응答してカードデータ処理を行なう(S7)。CPU65はカードデータ処理を行っていないとき(S8)、所定のタイミングでスリープ命令を実行し(S9)、CTRL66からスタンバイ信号stb1、stb2をアサートさせる(S10)。これにより、I/Oポートはカードホストが出力するハイレベル信号を入力し、ローレベルへの変化を待つ(S11)。ROM67が前述のスタンバイ状態にされ、メモリセルのサブスレッシュホールドリークによる電力消費が抑制される(S12)。レギュレータ63に出力電位vcc iのレベルが低下される(S13)。CPG71による内部クロックclk iの発生動作が停止される(S14)。これによってICカードはスタンバイ状態にされる。

【0077】

図20にはICカードのスタンバイ状態からアクティブ状態に遷移するときの動作フローが示される。I/Oポート70がローレベルに変化されるまでスタンバイ状態を継続する(S16)。I/Oポート70がローレベルに変化されると、CTRL66は先ずスタンバイ信号stb1をネゲートする(S17)。これにより、ROM67はチャージされているソース線を徐々にディスチャージする(S18)。レギュレータ63は内部電圧vcc iの電位を正規の電源電位まで引き上げる(S19)。CPG71はナイブクロックclk iの出力動作を再開する(S20)。その後、CTRL66はスタンバイ信号stb2をネゲートし(S21)、ROM67はディスチャージ途中のソース線から一気にチャージを引き抜く(S22)。これによってICカード60はアクティブ状態にされる。この後は、図19のステップS7以降の処理が行なわれる。

【0078】

図21にはICカード60を適用した携帯電話機が示される。携帯電話機70は、アンテナ71、高周波部72、ベースバンド処理部73及びアプリケーションプロセッサ部74を有し、ICカード60はアプリケーションプロセッサ74をカードホストとして着脱可能に装着される。

【0079】

図22には携帯電話機に装着されたICカードの動作タイミングチャートである。通話時及び非通話時における待ち受け処理時はアクティブ状態にされる。非通話時の待ち受け処理は例えば30秒に一度行なわれる。Iccはレギュレータ63の出力電流である。スタンバイ時のROM67に対するサブスレッシュホールドリークの抑制(S12)、レギュレータ出力電圧vcc iの降圧(S13)、及び内部クロックclk iの停止(S14)により、スタンバイ時の電流Iccは小さくされる。スタンバイ状態からアクティブ状態に変化されるときは、ROMのソース線に対するディスチャージ速度を段階的に速くする制御を行なうから(S18、S22)、接地電位VSSのラッシュカレント(接地電位に急

激に流れ込む電流)が著しく大きくなって無視し得ないグランドノイズになる事態を抑制することができる。

【0080】

上記マスクROM3、40、67について説明したところの、スタンバイ時におけるメモリセルのサブスレッショルドリーク抑制技術が適用されるメモリのメモリセルは、図23に例示されるように一对のメモリセルに対してソース線を共通化してもよい。また、上記サブスレッショルドリーク抑制技術が適用されるメモリはマスクROMに限らずフラッシュメモリなどの電氣的に書換え可能なメモリであってもよい。フラッシュメモリの場合、そのメモリアレイは、図24に例示されるようにビット線を共有する一对の不揮発性メモリセル毎にソース線を共通化したNOR(ノア)型メモリアレイ構成、図25に例示されるNAND(ナンド)型のメモリセルアレイ構成、図26に例示されるAND(アンド)型のメモリセルアレイ構成としてよい。フラッシュメモリの場合は、例えば書き込み状態のメモリセルはエンハンスメント型、書込みされていない消去状態のメモリセルはデプレッション型とされる。NAND型メモリセルアレイにおける読み出し動作では読み出し対象メモリセルのワード線は0Vのような非選択レベル、それ以外のワード線は電源電圧のような選択レベルにされる。

【0081】

スタンバイ時におけるメモリセルのサブスレッショルドリーク抑制技術が適用されたフラッシュメモリはフラッシュメモリカードなどのカードデバイスとして、或いは回路基板直付けのフラッシュメモリチップとして、例えば図27に例示されるようなデジタルカメラ用ストレージとして適用することができる。

【0082】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0083】

例えば、スタンバイ状態はスタンバイ信号などの外部信号が特定の状態にされているときCPUがスリープ命令等の特定の命令を実行することによって指示されるようにしてもよい。また、プリチャージ回路、チャージ・ディスチャージ回路の具体的な構成は上記に限定されず適宜変更可能である。また、チャージレベルは必ずしも外部電源電圧と等しくなくてもよい。外部電源電圧を降圧して動作電源とする半導体集積回路、複数の分圧電圧を内部動作電源に利用する半導体集積回路にあっては、その様な降圧電圧や分圧電圧をチャージレベルにすることも可能である。また、本発明でサブスレッショルドリーク電流抑止の対象とされるメモリはマスクROMに限定されない。フラッシュメモリやEEPROMなどの電氣的に書換え可能な不揮発性メモリ、更にはその他の記憶形式のメモリにも適用可能である。

【0084】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータ及びICカードマイコンに適用した場合について説明したが、本発明はそれに限定されず、通信制御LSI、特定用途向けのシステムLSIなど、種々の半導体集積回路に広く適用することができる。

【図面の簡単な説明】

【0085】

【図1】本発明に係る半導体集積回路のマイクロコンピュータを例示するブロック図である。

【図2】マイクロコンピュータに搭載されたROMの詳細を例示するブロック図である。

【図3】メモリアレイと電位形成回路の詳細としてグローバルビット線1ビット分の構成を部分的に例示する回路図である。

【図4】図2のROMの動作タイミングを例示するタイミングチャートである。

【図 5】スタンバイ状態においてメモリセルで生ずるリーク電流を例示する説明図である。

【図 6】本発明の比較例に係るメモリアレイの一部を例示する回路図である。

【図 7】図 6 のメモリアレイにおけるリーク電流を示す説明図である。

【図 8】図 6 の比較例における動作タイミングを例示するタイミングチャートである。

【図 9】本発明の別の比較例に係るメモリアレイの一部を例示する回路図である。

【図 10】図 10 の動作タイミングを例示するタイミングチャートである。

【図 11】図 3 の本発明の場合と図 6 の比較例の場合のスタンバイ時リーク電流削減効果を例示的に示す説明図である。

【図 12】図 3 の本発明の場合と図 9 の比較例の場合の動作速度の違いを例示的に示す説明図である。

【図 13】ソース線のチャージ・デイスチャージ回路の別の例を示す回路図である。

【図 14】図 14 の動作タイミングを例示するタイミングチャートである。

【図 15】メモリアレイにおける電位形成回路の別の例を示す回路図である。

【図 16】マイクロコンピュータの別の例である IC カードマイコンを示すブロック図である。

【図 17】IC カード用マイクロコンピュータを用いた接触インタフェース形式の IC カードの外観を例示する平面図である。

【図 18】本発明に係る IC カードの別の例を示すブロック図である。

【図 19】IC カードの電源投入からアクティブ状態を経てスタンバイ状態に至る動作フローを示すフローチャートである。

【図 20】IC カードのスタンバイ状態からアクティブ状態に移移するときの動作フローを示すフローチャートである。

【図 21】IC カードを適用した携帯電話機を示すブロック図である。

【図 22】携帯電話機に装着された IC カードの動作タイミングチャートである。

【図 23】スタンバイ時におけるメモリセルのサブスレッショルドリーク抑制技術が適用されるマスク ROM における別のメモリアレイ構成の一部を示す回路図である。

【図 24】スタンバイ時におけるメモリセルのサブスレッショルドリーク抑制技術が適用されるフラッシュメモリにおける NOR 型メモリアレイ構成の一部を示す回路図である。

【図 25】スタンバイ時におけるメモリセルのサブスレッショルドリーク抑制技術が適用されるフラッシュメモリにおける NAND 型メモリアレイ構成の一部を示す回路図である。

【図 26】スタンバイ時におけるメモリセルのサブスレッショルドリーク抑制技術が適用されるフラッシュメモリにおける AND 型メモリアレイ構成の一部を示す回路図である。

【図 27】スタンバイ時におけるメモリセルのサブスレッショルドリーク抑制技術が適用されたフラッシュメモリをストレージデバイスとして採用するデジタルカメラのブロック図である。

【符号の説明】

【0086】

1 マイクロコンピュータ

2 CPU

3 ROM

4 RAM

8 クロック発生回路

9 システムコントローラ

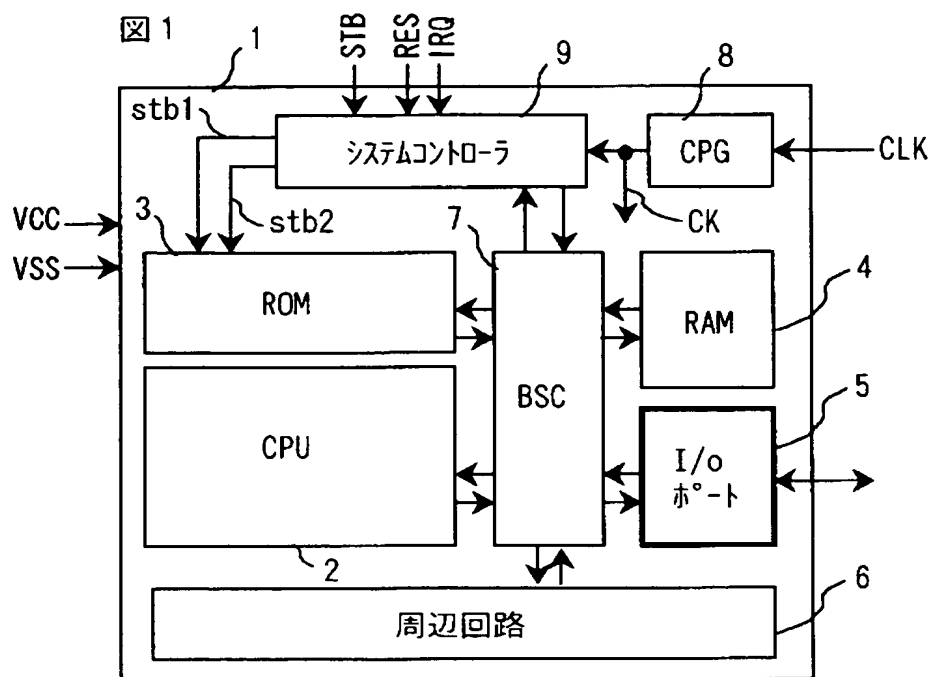
STB 外部スタンバイ信号

stb1, stb2 内部スタンバイ信号

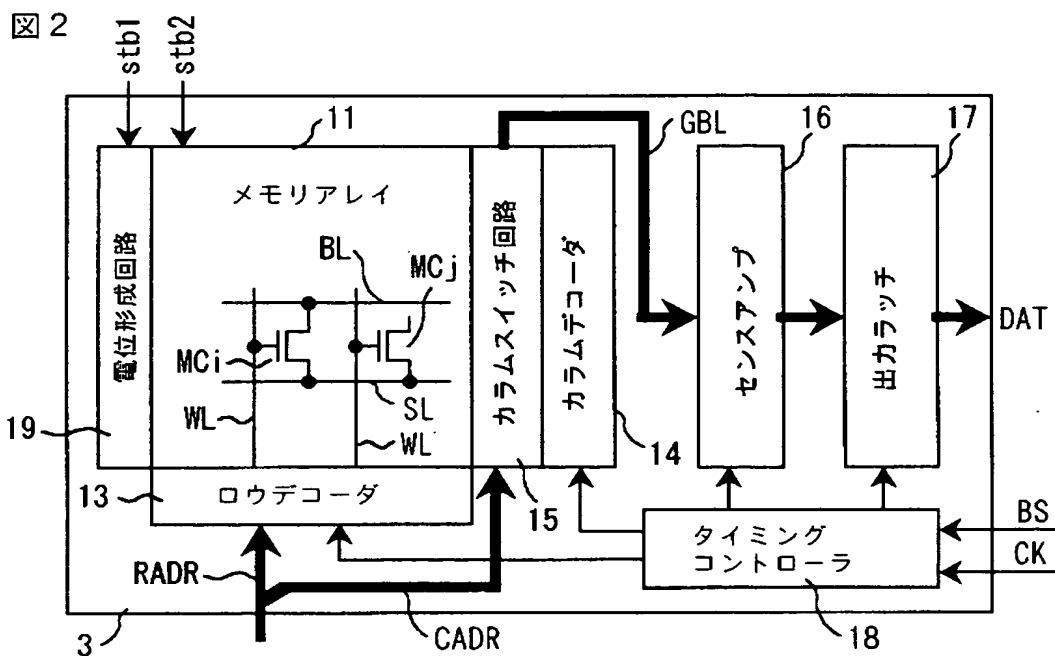
11 メモリアレイ
19 電位形成回路
BS ROMのモジュール選択信号
MC_i, MC_j メモリセル
BL、BL₁, BL₂ ビット線
GBL グローバルビット線
SL, SL₁, SL₂ ソース線
WL ワード線
20 プリチャージ回路
21 チャージ・デイスチャージ回路
GBL グローバルビット線
YS₁, YS₂ ビット線選択信号
22 チャージ・デイスチャージ回路
31 マイクロコンピュータ
32 CPU
40 マスクROM
41 システムコントローラ
FLG スタンバイフラグ
LOG ロジック回路
50 ICカード
51 カード基板
52 インタフェース端子
60 ICカード
61 回路基板
62 ICカードマイコン
63 レギュレータ
65 CPU
67 ROM
71 クロックパルスジェネレータ

【書類名】 図面

【図 1】



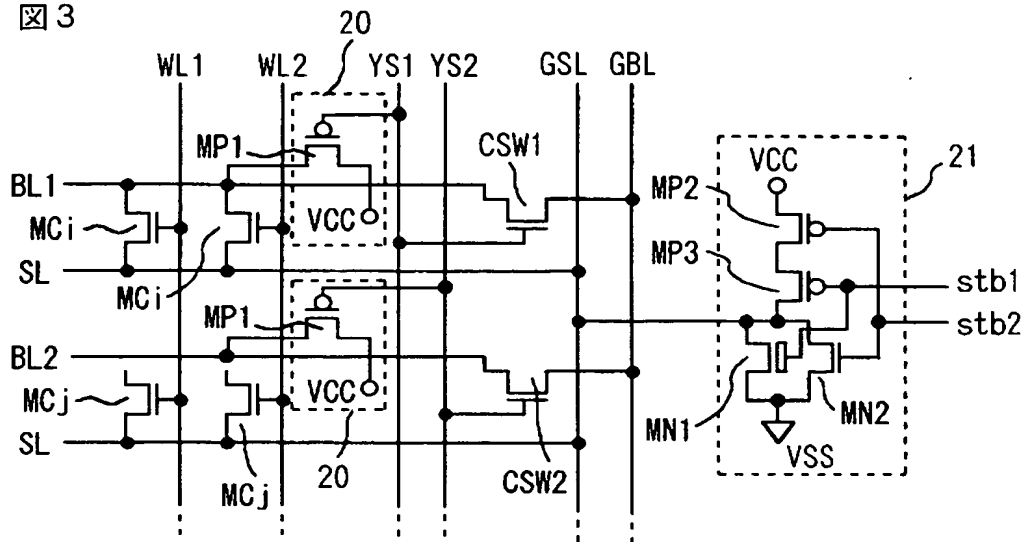
【図 2】



BEST AVAILABLE COPY

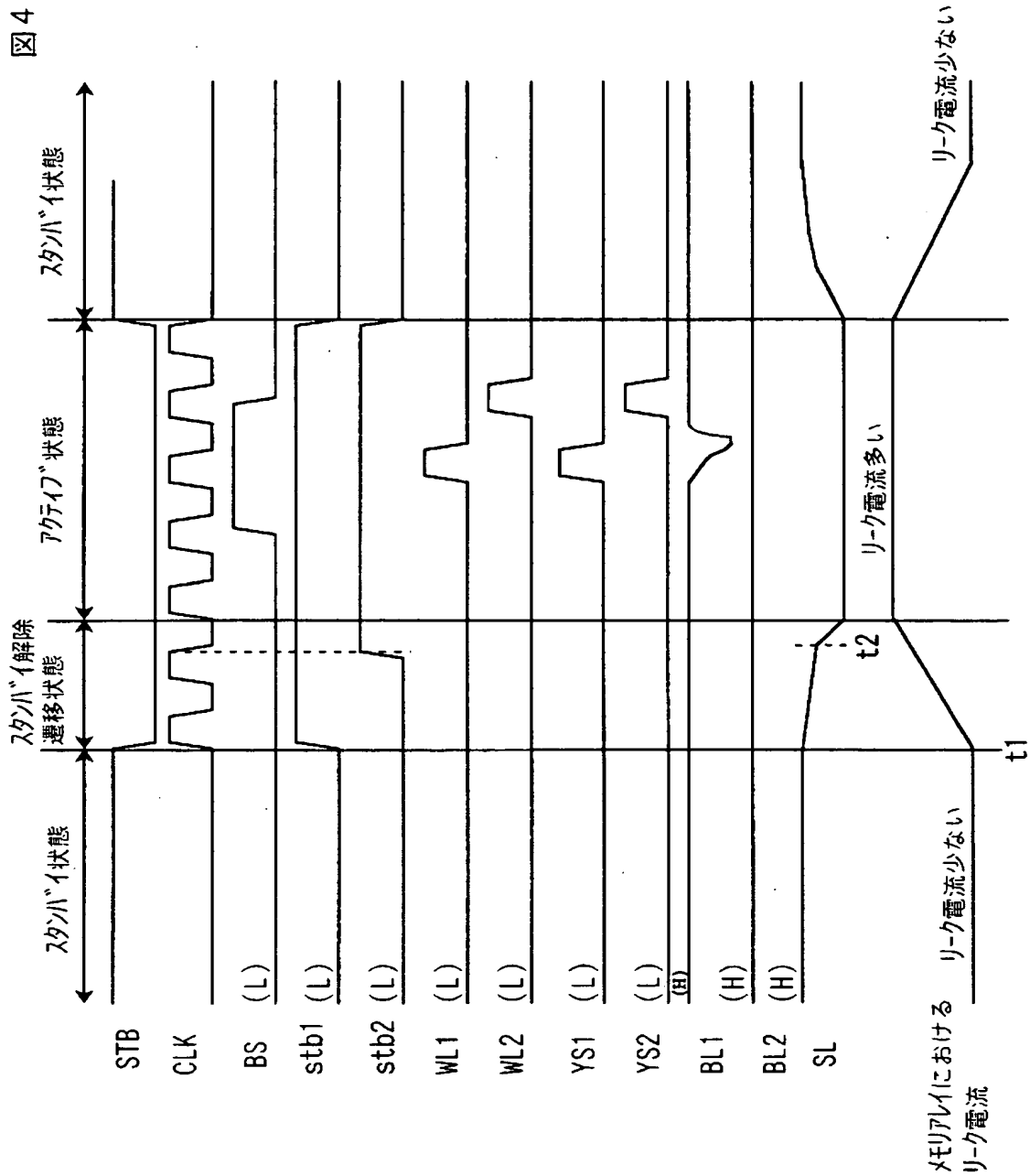
【圖 3】

図 3

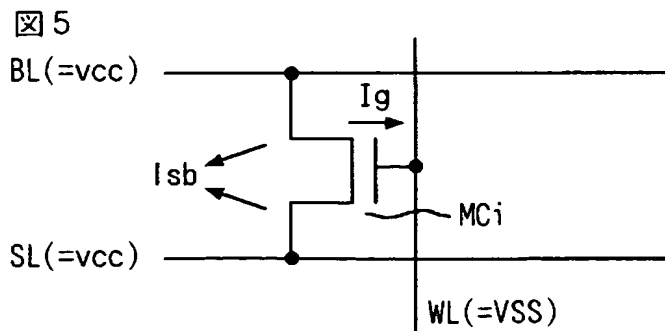


BEST AVAILABLE COPY

【圖 4】

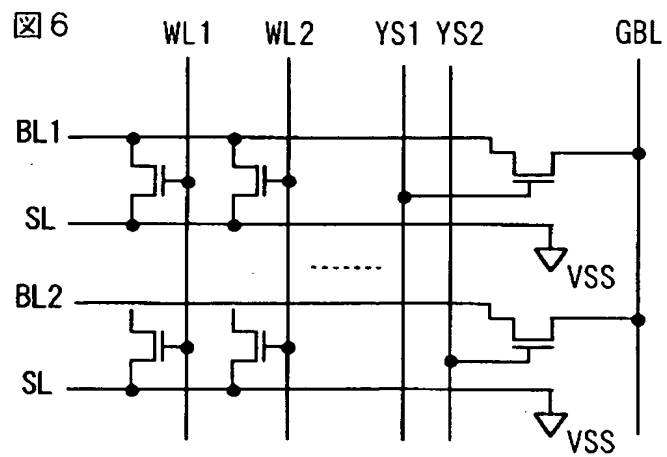


【図 5】

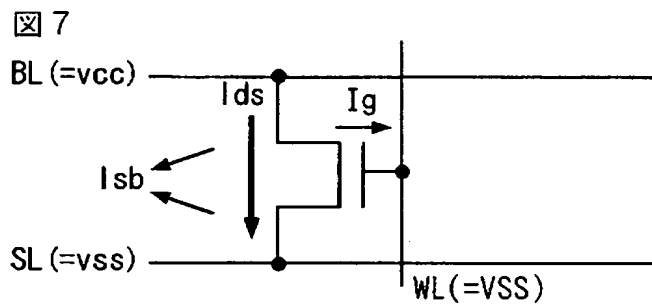


BEST AVAILABLE COPY

【図 6】

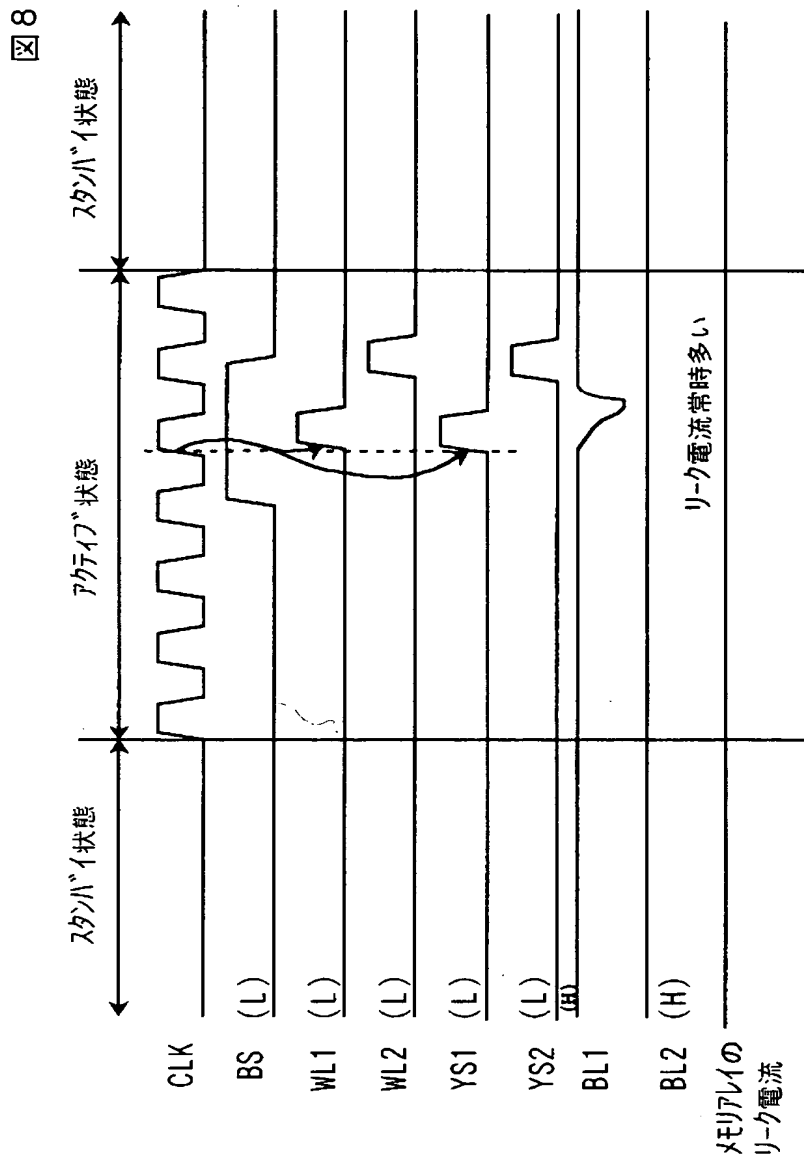


【図 7】



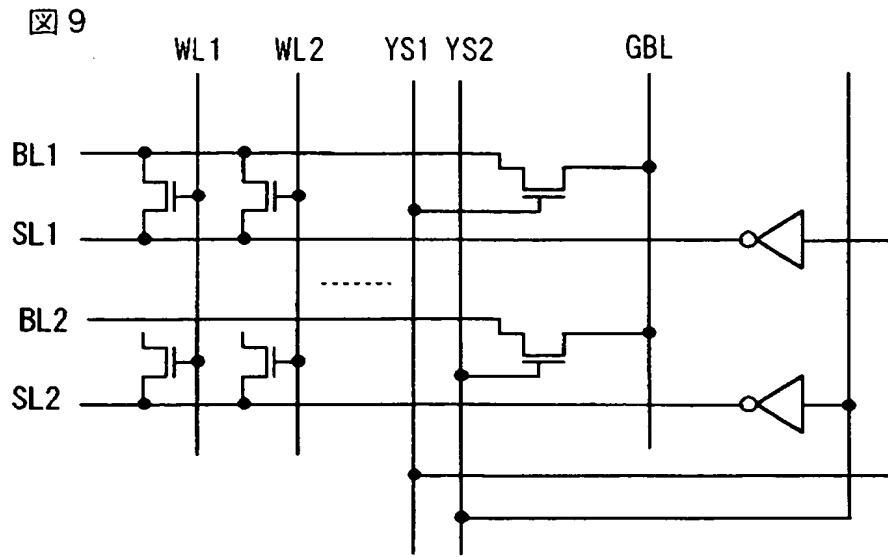
BEST AVAILABLE COPY

【図 8】



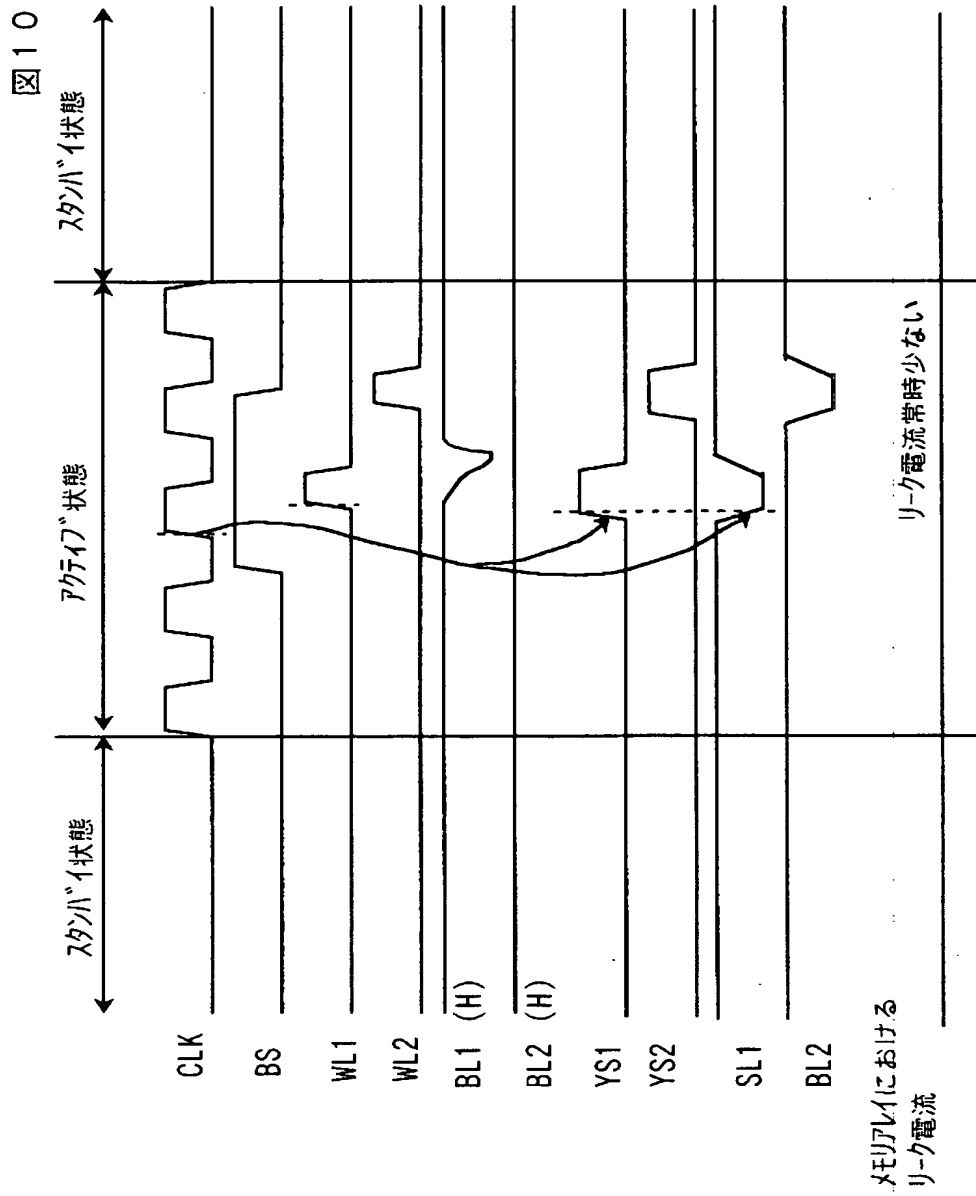
BEST AVAILABLE COPY

【図 9】



BEST AVAILABLE COPY

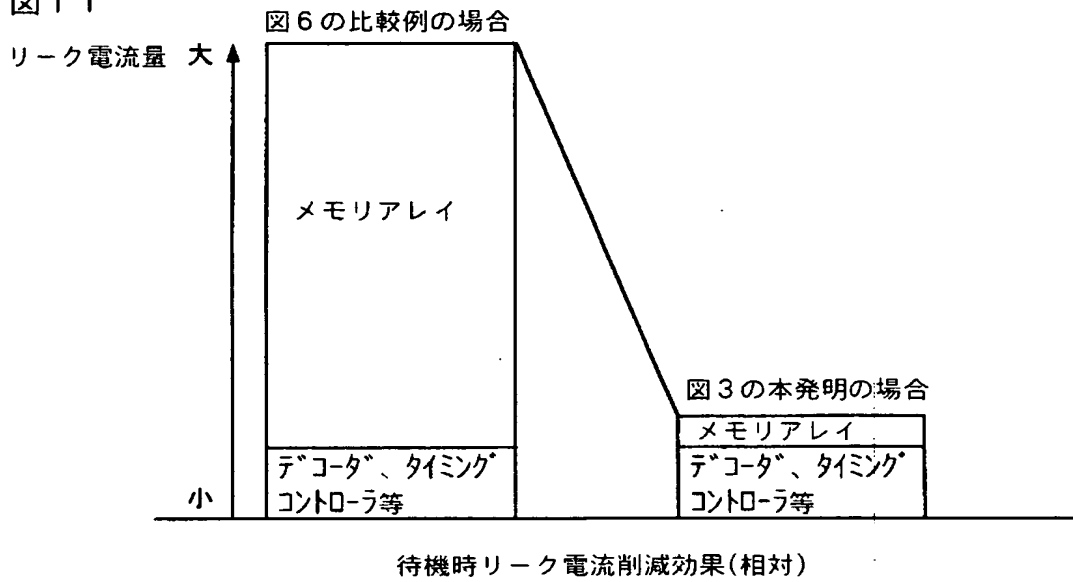
【図 10】



NOT AVAILABLE COPY

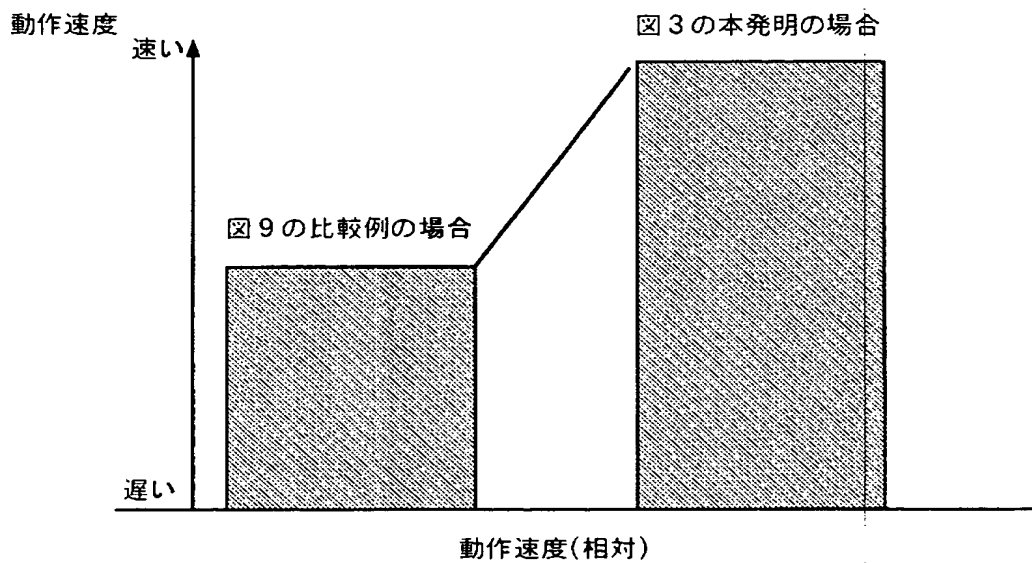
【図 1 1】

図 1 1



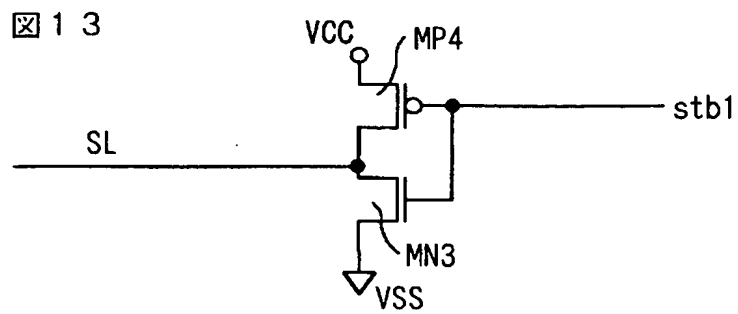
【図 1 2】

図 1 2

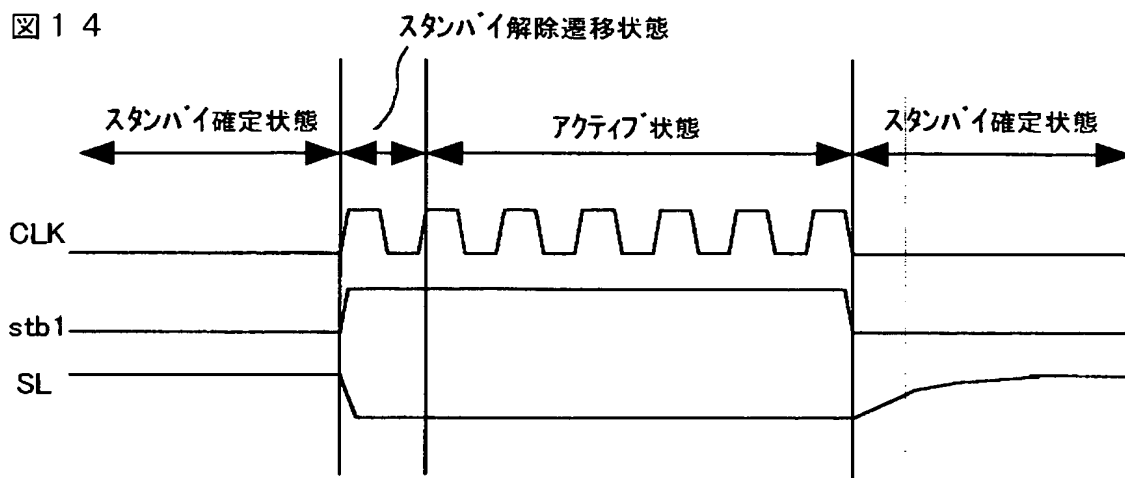


BEST AVAILABLE COPY

【図 13】

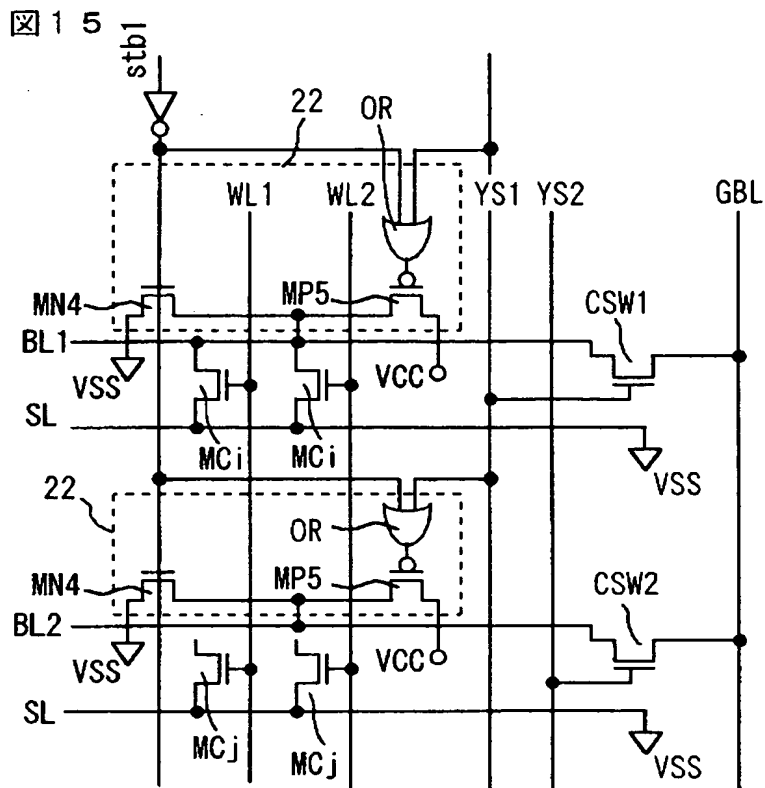


【図 14】



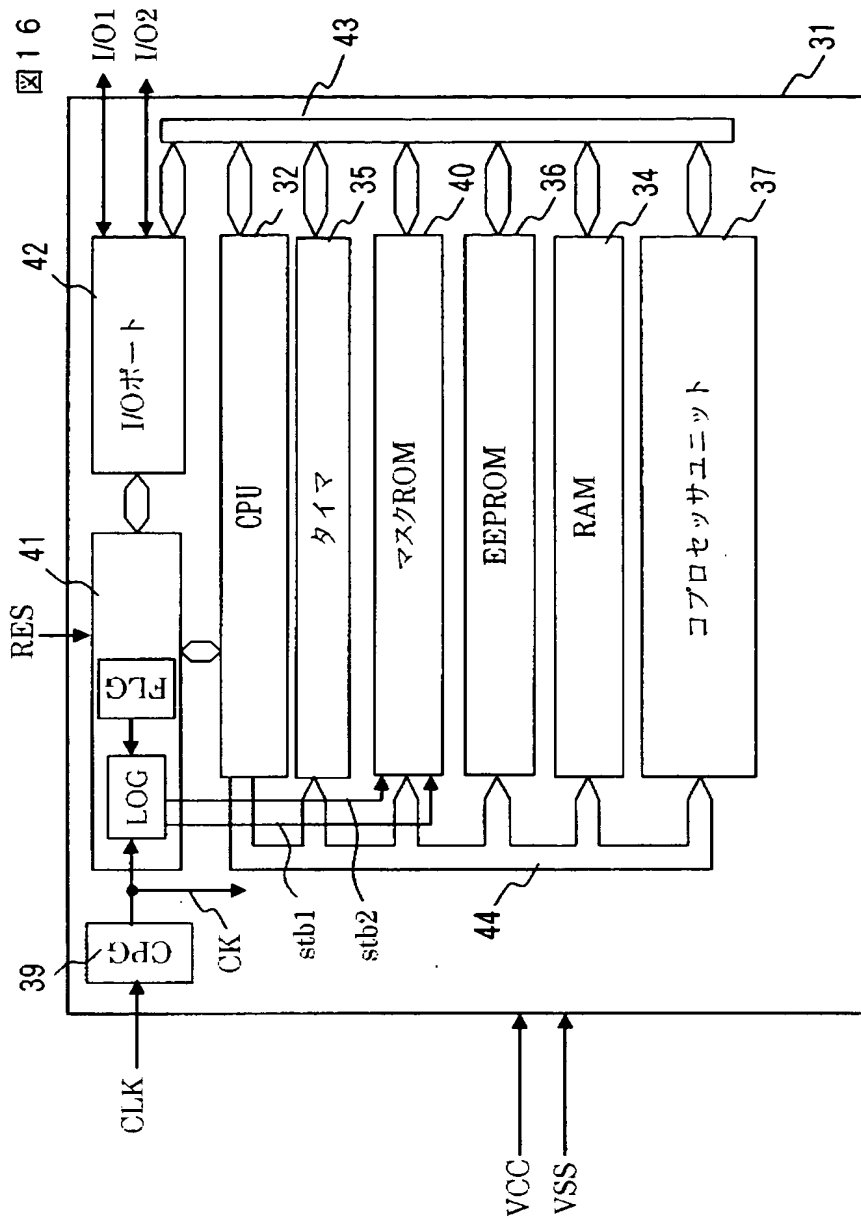
BEST AVAILABLE COPY

【図 15】



BEST AVAILABLE COPY

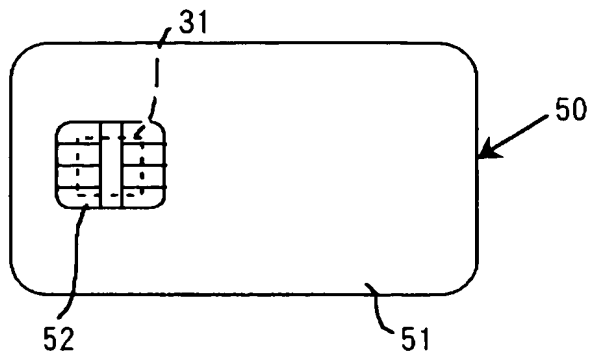
【図 16】



BEST AVAILABLE COPY

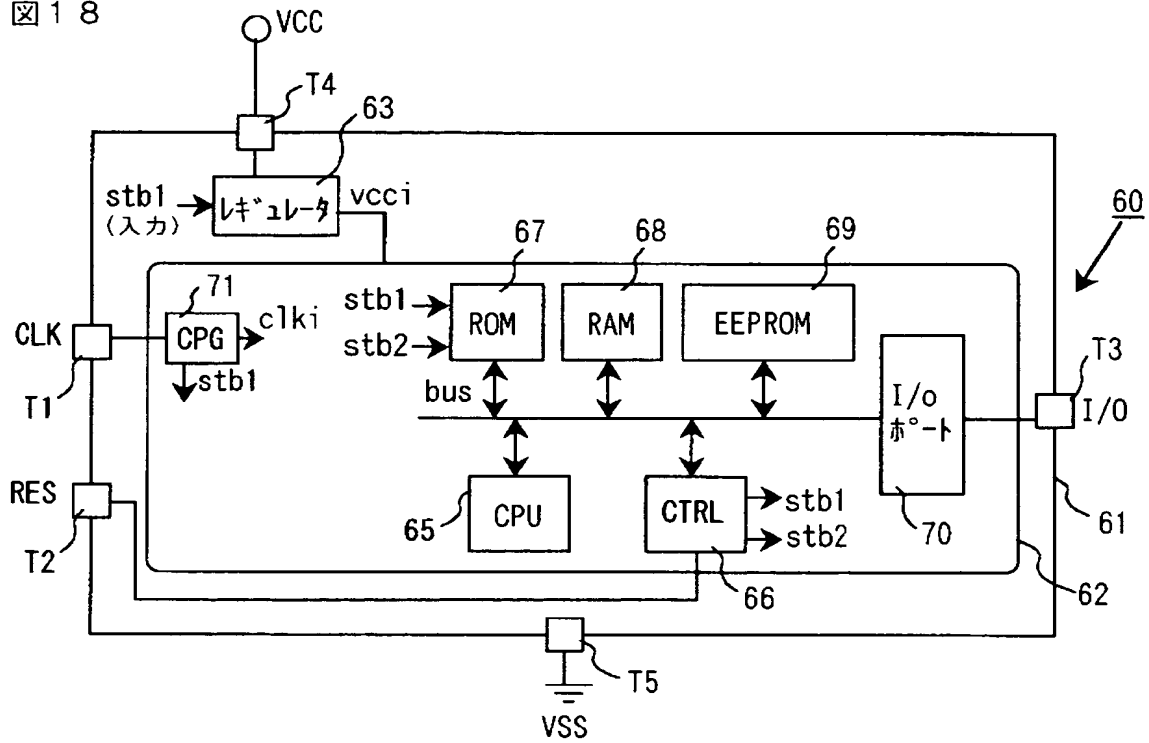
【図 17】

図 17



【図 18】

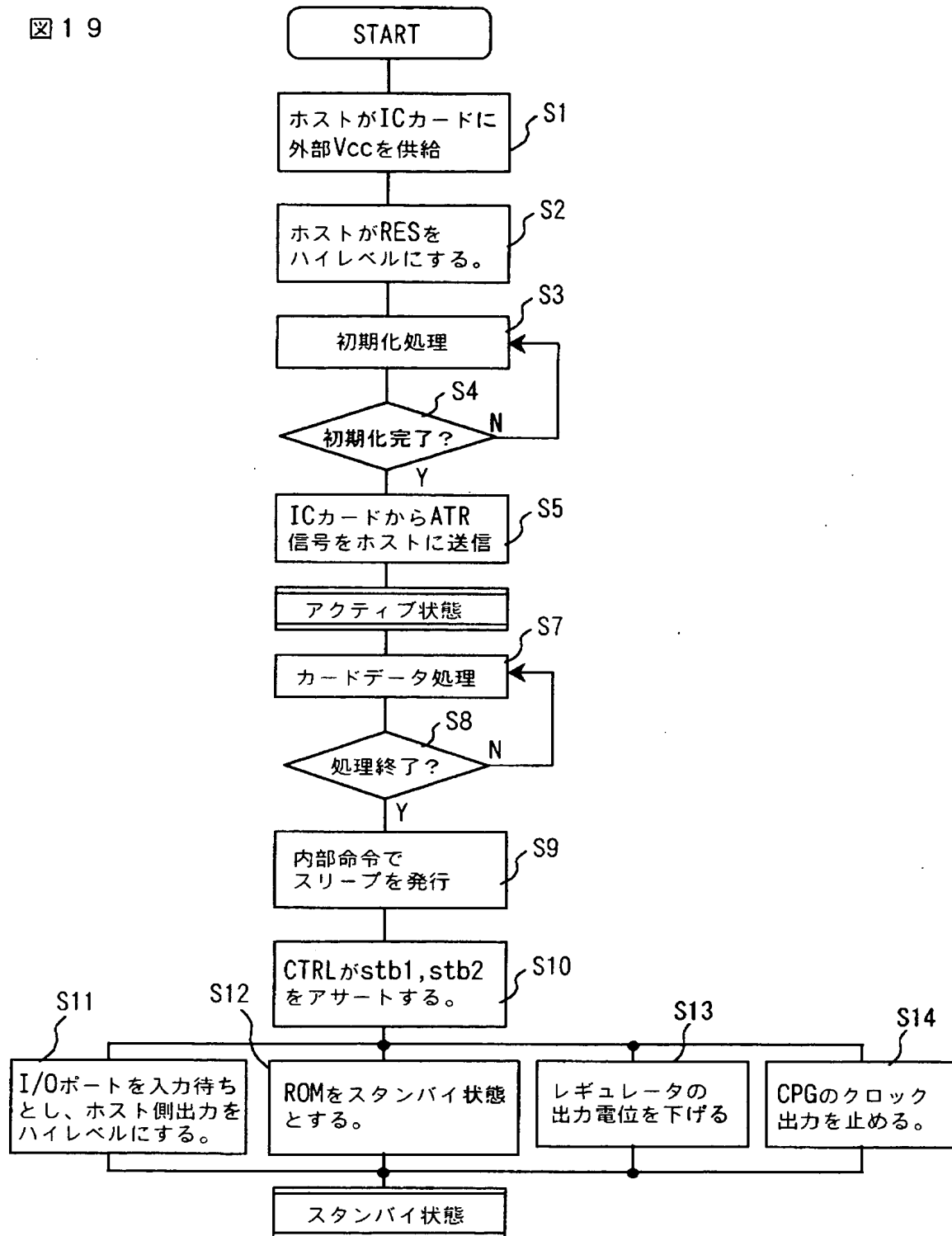
図 18



BEST AVAILABLE COPY

【図 19】

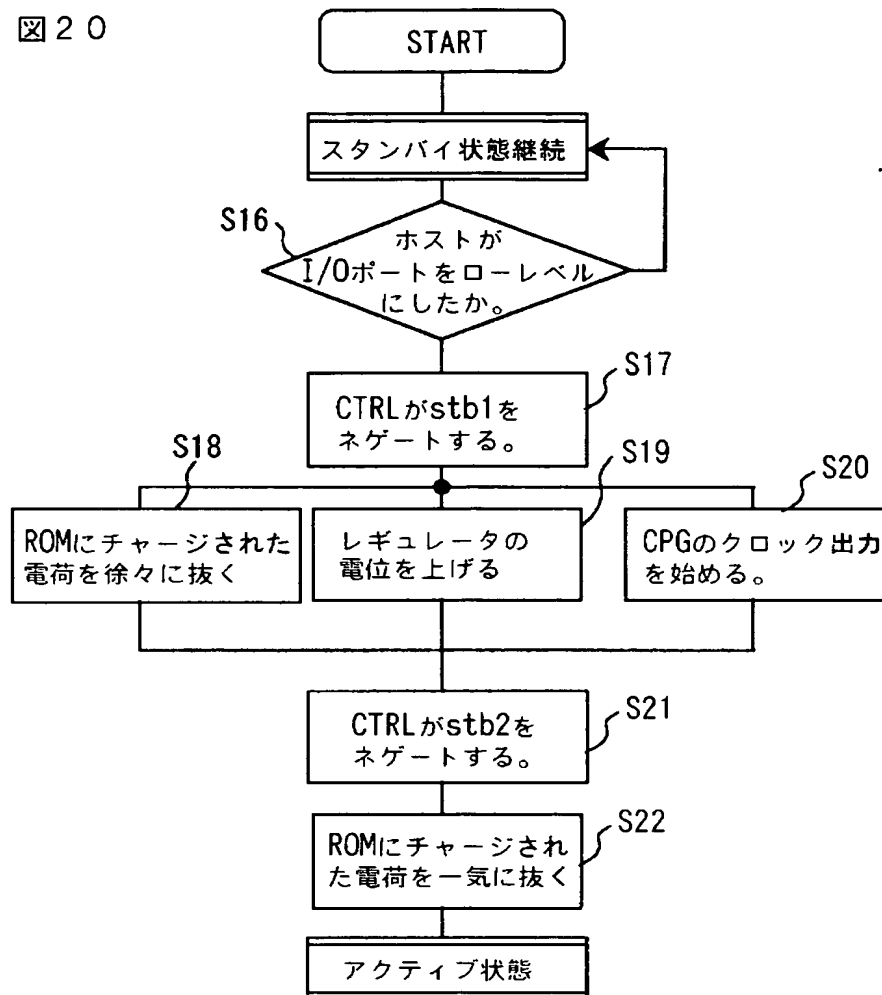
図 19



BEST AVAILABLE COPY

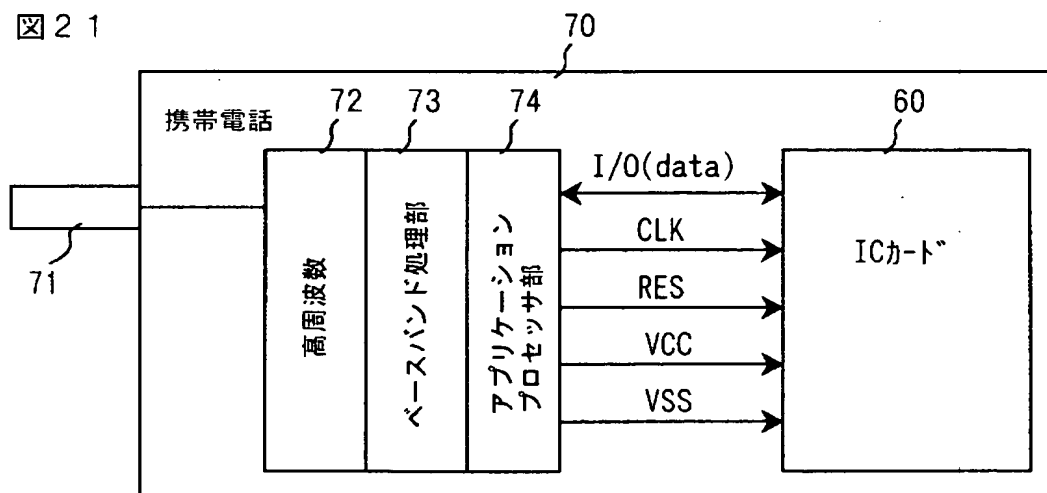
【図 20】

図 20



【図 21】

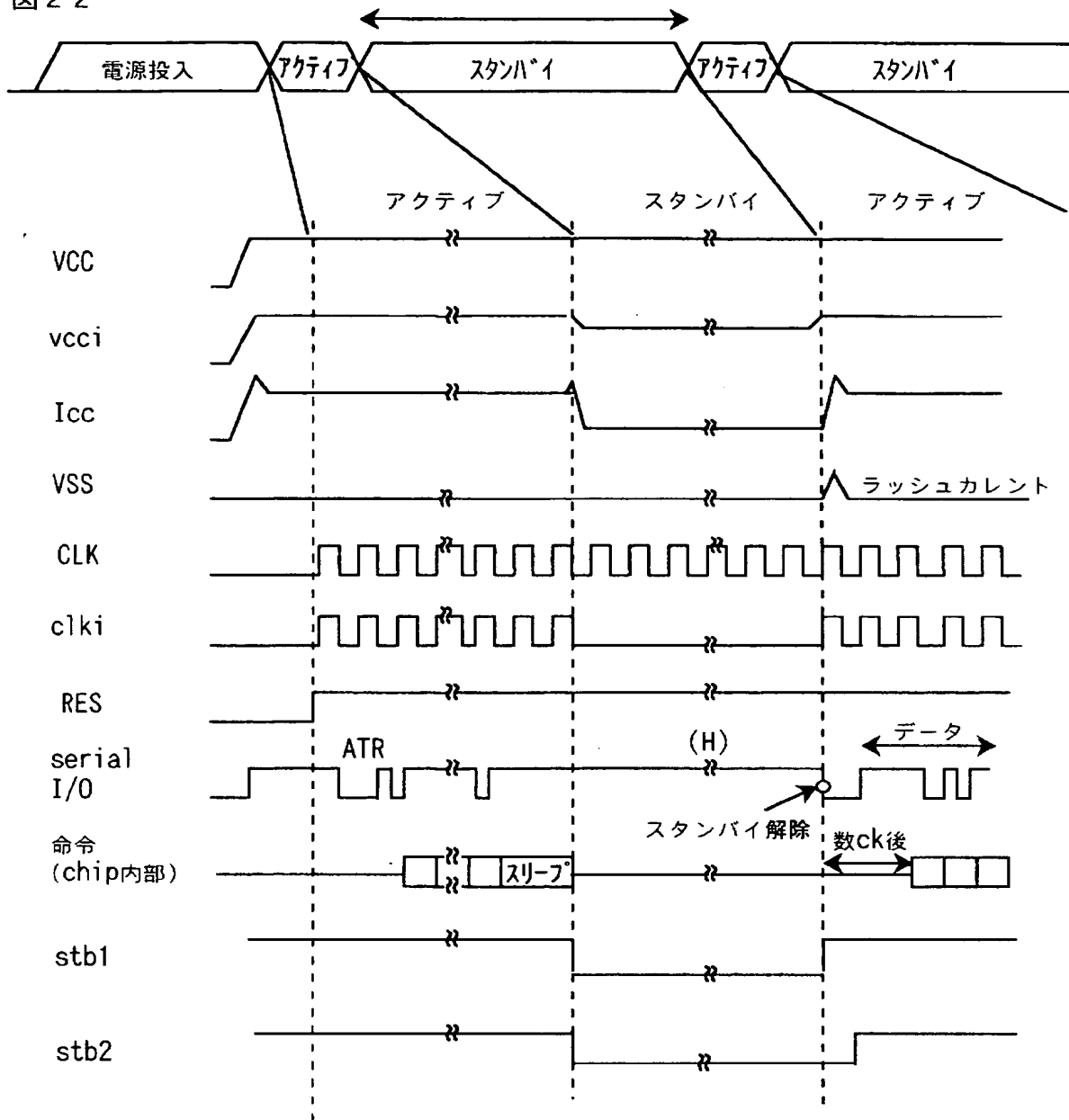
図 21



BEST AVAILABLE COPY

【図 22】

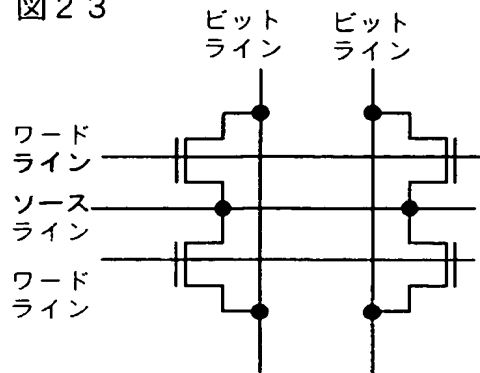
図 22



BEST AVAILABLE COPY

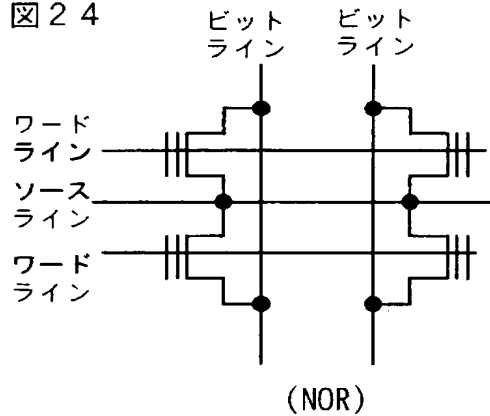
【図 2 3】

図 2 3



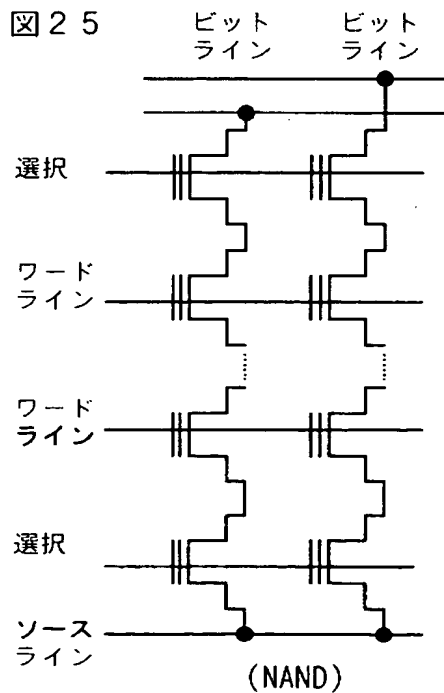
【図 2 4】

図 2 4



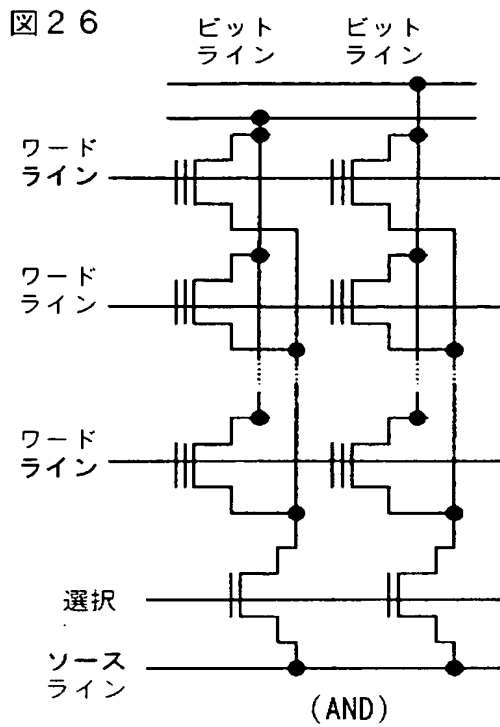
【図 2 5】

図 2 5



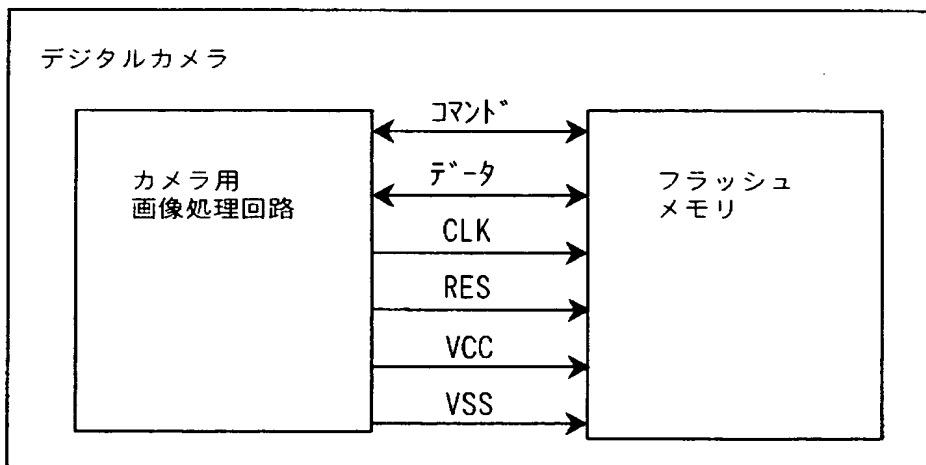
BEST AVAILABLE COPY

【図 26】



【図 27】

図 27



BEST AVAILABLE COPY

【書類名】 要約書**【要約】**

【課題】 メモリのデータ読出し動作速度を遅くすることなく、スタンバイ状態でのメモリで無駄に消費される電力を低減する。

【解決手段】 アクティブ状態又はスタンバイ状態を採り得るメモリを有し、メモリはメモリセルが接続されるビット線（BL1，BL2）とソース線（SL）に対する電位形成回路（20，21）を有する。電位形成回路は、アクティブ状態からスタンバイ状態への指示に応答して前記ビット線とソース線の電位を等しくし、スタンバイ状態からアクティブ状態への指示に応答して前記ビット線とソース線との間に電位差を形成する。スタンバイ状態においてビット線とソース線の電位が等しいから、メモリセルにソース・ドレイン間のサブスレッショルドリークを生じない。アクティブ状態ではソース線電位を変化させないからデータ読出し動作速度も遅くならない。

【選択図】 図3

BEST AVAILABLE COPY

特願 2 0 0 3 - 3 7 0 0 7 8

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ

特願 2 0 0 3 - 3 7 0 0 7 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 1 6 9]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ